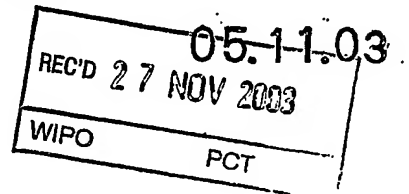


10/533807
PCT/JP03/14107

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 2 3 0 8 2
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 2 3 0 8 2]

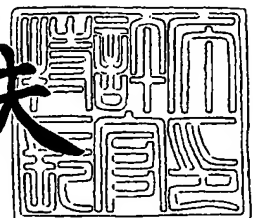
出 願 人 日 本 電 気 株 式 会 社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 9 6 6 4

【書類名】 特許願
【整理番号】 34002199
【提出日】 平成14年11月 6日
【あて先】 特許庁長官殿
【国際特許分類】 H03K 19/0185
H01L 27/04
H01L 21/822

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 野村 昌弘

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100084250

【弁理士】

【氏名又は名称】 丸山 隆夫

【電話番号】 03-3590-8902

【手数料の表示】

【予納台帳番号】 007250

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9303564

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベル変換回路

【特許請求の範囲】

【請求項 1】 第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、制御回路が制御するおよび／またはプルアップおよび／またはプルダウン回路を制御するレベル変換コア回路を設け、

前記レベル変換コア回路は、前記第 2 の電源と、前記第 1 の論理回路からの出力信号を入力し、前記第 2 の論理回路に入力する信号を出力することを特徴とするレベル変換回路。

【請求項 2】 第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、

前記レベル変換回路は、レベル変換を実現するレベル変換コア回路と、

レベル変換コア回路のレベル変換出力に前記第 2 の電源が供給されるプルアップおよび／またはプルダウン回路と、

前記第 2 の電源が供給されレベル変換入力信号と前記レベル変換出力信号とを入力する制御回路により前記プルアップおよび／またはプルダウン回路とを制御する制御回路とを設けたことを特徴とするレベル変換回路。

【請求項 3】 前記レベル変換コア回路は、複数の p-MOS からなる p-MOS クロスカップルラッチと、複数の n-MOS からなる差動 n-MOS スイッチとを有し、

前記 p-MOS の各ソース端子が第 2 の電源に接続され、前記 p-MOS の各ゲート端子に各ドレイン端子であるレベル変換出力が接続され、前記差動 n-MOS スイッチの前記 n-MOS は、ソース端子が各 GND 電源に接続され、前記レベル変換出力に前記 n-MOS のドレイン端子が接続され、レベル変換入力に前記 n-MOS のゲート端子が接続されたことを特徴とする請求項 1 または 2 に記載のレベル変換回路。

【請求項 4】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とする NAND 回路

と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とするNAND回路と、前記第2の電源が供給され前記NAND回路の各出力を入力とする複数のインバータとからなり、前記NAND回路と前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項2または3に記載のレベル変換回路。

【請求項5】 前記NAND回路は、CMOS回路構成であり、前記レベル変換入力信号が接続される p-MOSはチャネル幅／チャネル長の比が小さいか、閾値の極性が負で絶対値が高い、少なくともいずれかの条件を有するトランジスタからなっていることを特徴とする請求項4に記載のレベル変換回路。

【請求項6】 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力にそれぞれのドレイン端子が接続される複数の p-MOSと、前記GND電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子がそれぞれ接続される複数の n-MOSからなっていることを特徴とする請求項1～5のいずれか1項に記載のレベル変換回路。

【請求項7】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とするNOR回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とするNOR回路と、前記第2の電源が供給され前記各NOR回路出力を入力とする複数のインバータとからなり、

前記NOR回路と前記インバータの各出力信号を制御信号として出力することを特徴とする請求項1～3のいずれか1項に記載のレベル変換回路。

【請求項8】 前記NOR回路は、CMOS回路構成であり、前記レベル変換入力信号が接続される p-MOSはチャネル幅／チャネル長の比が小さいか、閾値の極性は負で絶対値が高い少なくとも1つの条件のトランジスタからなっていることを特徴とする請求項7に記載のレベル変換回路。

【請求項9】 前記レベル変換コア回路は、前記第2の電源に各ソース端子が、前記各レベル変換出力の各ゲート端子が接続された複数の p-MOSからなる p-MOSクロスカップルラッチと、前記複数の p-MOSのドレイン端子に各ソース端子

が、前記各レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された複数の p-MOSスイッチと、GND 電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子がそれぞれ接続された複数の n-MOSからなる差動 n-MOSスイッチとなっていることを特徴とする請求項 1～8 のいずれか 1 項に記載のレベル変換回路。

【請求項 10】 前記レベル変換コア回路は、前記第 2 の電源にそれぞれソース端子が、ゲート端子にそれぞれのドレイン端子であるレベル変換出力が接続された複数の p-MOSからなる p-MOSクロスカップルラッチと、GND 電源にそれぞれのソース端子が、前記レベル変換出力にそれぞれのドレイン端子が、レベル変換入力に各ゲート端子が接続された複数の n-MOSからなる差動 n-MOSスイッチと、前記第 1 の電源にそれぞれドレイン端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ソース端子が接続された n-MOSを有することを特徴とする請求項 1～9 のいずれか 1 項に記載のレベル変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はレベル変換回路に関し、特に第 1 の電源と第 2 の電源の電位差が大きいレベル変換回路のレベル変換動作マージンとレベル変換遅延の改良に関する。

【0002】

【従来の技術】

従来、レベル変換回路は、一般的に複数の電源を有するシステムLSI 内で利用され、たとえば図 21 に示すように、特許文献 1 等で提案されるレベル変換回路が知られており、近年、システムLSI の電源電圧が低下する傾向にある。

一方、規格化され低電圧化が困難な I/O 回路、あるいは動作マージン確保のために低電圧化が困難なアナログ回路では、電源電圧が低下せず、電位差が大きくても安定かつ高速のレベル変換動作が可能なレベル変換回路が求められている。

【0003】

この要請に応えるために、例えば、特許文献 1 に開示されているように、レベル変換出力に第 1 の電源が供給されるプルアップ回路を設けるとともに、レベル

変換入力信号により、前記プルアップ回路を制御することが提案されている。この特許文献1に開示された手法は、図22に示されるように、第1の電源と第2の電源の電位差が大きい時に、反転困難な p-MOSクロスカップルラッチ部を反転しやすいように第1の電源が接続される n-MOSプルアップ手段を設けている。

【0004】

また、特許文献2には、p-MOSクロスカップルと差動 n-MOSスイッチの間にレベル変換入力信号で制御される p-MOSスイッチを設ける発明が開示されている。

この文献に開示された手法は、図15に示されるように、第1の電源と第2の電源の電位差が大きい時に反転困難な p-MOSクロスカップルラッチ部を反転しやすいようにクロスカップルの結合を弱める p-MOSスイッチ手段が設けられている。

【0005】

【特許文献1】

特開昭63-152220号公報（第2～第3頁、第1図～第3図）

【特許文献2】

特開平06-243680号公報（第8～第15頁、第1、第3、第5、第7及び第9図）

【特許文献3】

特開平06-268452号公報（第4～第5頁、第1、第3及び第5図）

【0006】

【発明が解決しようとする課題】

しかしながら、前記した技術のうち、前者の特許文献2に開示された技術では、プルアップ回路に第1の電源が供給され、プルアップ回路がレベル変換入力信号の第1の電源レベルで制御され、プルアップ回路が実施例に示される n-MOSを用いた場合には、閾値落ちしてしまう。特に、第1の電源と第2の電源の電位差が大きいほど、プルアップ能力が十分でなく、十分なレベル変換動作マージンが得られないという問題がある。また、後者の特許文献3に記載の技術では、p-MOSスイッチがレベル変換入力信号の第1の電源レベルで制御されることから、特

に、第1の電源と第2の電源の電位差が大きいほど p-MOSクロスカップルの結合を弱める力が十分でなく、十分なレベル変換速度が得られないという問題がある。

【0007】

本発明の目的は、第1の電源と第2の電源の電位差が大きくても十分なレベル変換動作マージンが得られるとともに、十分なレベル変換速度を有したレベル変換回路を提供することにある。

【0008】

【課題を解決するための手段】

請求項1に記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、前記レベル変換回路は、制御回路が制御するおよび／またはプルアップおよび／またはプルダウン回路を制御するレベル変換コア回路を設け、前記レベル変換コア回路は、前記第2の電源と、前記第1の論理回路からの出力信号を入力し、前記第2の論理回路に入力する信号を出力することを特徴とする。

【0009】

請求項2に記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、前記レベル変換回路は、レベル変換を実現するレベル変換コア回路と、レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号とを入力する制御回路により前記プルアップおよび／またはプルダウン回路とを制御する制御回路とを設けたことを特徴とする。

【0010】

請求項3に記載のレベル変換回路の発明は、請求項1または2において、前記レベル変換コア回路は、複数の p-MOSからなる p-MOSクロスカップルラッチと、複数の n-MOSからなる差動 n-MOSスイッチとを有し、前記 p-MOSの各ソース端子

が第2の電源に接続され、前記 p-MOSの各ゲート端子に各ドレイン端子であるレベル変換出力が接続され、前記差動 n-MOSスイッチの前記 n-MOSは、ソース端子が各GND 電源に接続され、前記レベル変換出力に前記 n-MOSのドレイン端子が接続され、レベル変換入力に前記 n-MOSのゲート端子が接続されたことを特徴とする。

【0011】

請求項4に記載のレベル変換回路の発明は、請求項2または3において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とするNAND回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号を入力とするNAND回路と、前記第2の電源が供給され前記NAND回路の各出力を入力とする複数のインバータとからなり、前記NAND回路と前記インバータの各出力信号を制御信号として出力していることを特徴とする。

【0012】

請求項5に記載のレベル変換回路の発明は、請求項4において、前記NAND回路は、CMOS回路構成であり、前記レベル変換入力信号が接続される p-MOSはチャネル幅／チャネル長の比が小さいか、閾値の極性が負で絶対値が高い、少なくともいずれかの条件を有するトランジスタからなっていることを特徴とする。

【0013】

請求項6に記載のレベル変換回路の発明は、請求項1～5のいずれか1項において、前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力にそれぞれのドレイン端子が接続される複数の p-MOSと、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子がそれぞれ接続される複数の n-MOSからなっていることを特徴とする。

【0014】

請求項7に記載のレベル変換回路の発明は、請求項1～3のいずれか1項において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反

転信号と前記レベル変換出力信号の正転信号を入力とするNOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号を入力とするNOR 回路と、前記第2の電源が供給され前記各NOR 回路出力を入力とする複数のインバータとからなり、前記NOR 回路と前記インバータの各出力信号を制御信号として出力することを特徴とする。

【0015】

請求項8に記載のレベル変換回路の発明は、請求項7において、前記NOR 回路は、CMOS回路構成であり、前記レベル変換入力信号が接続される p-MOSはチャネル幅／チャネル長の比が小さいか、閾値の極性は負で絶対値が高い少なくとも1つの条件のトランジスタからなっていることを特徴とする。

【0016】

請求項9に記載のレベル変換回路の発明は、請求項1～8のいずれか1項において、前記レベル変換コア回路は、前記第2の電源に各ソース端子が、前記各レベル変換出力の各ゲート端子が接続された複数の p-MOSからなる p-MOSクロスカップルラッチと、前記複数の p-MOSのドレイン端子に各ソース端子が、前記各レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された複数の p-MOSスイッチと、GND 電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子がそれぞれ接続された複数の n-MOSからなる差動 n-MOSスイッチとなっていることを特徴とする。

【0017】

請求項10に記載のレベル変換回路の発明は、請求項1～9のいずれか1項において、前記レベル変換コア回路は、前記第2の電源にそれぞれソース端子が、ゲート端子にそれぞれのドレイン端子であるレベル変換出力が接続された複数の p-MOSからなる p-MOSクロスカップルラッチと、GND 電源にそれぞれのソース端子が、前記レベル変換出力にそれぞれのドレイン端子が、レベル変換入力に各ゲート端子が接続された複数の n-MOSからなる差動 n-MOSスイッチと、前記第1の電源にそれぞれドレイン端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ソース端子が接続された n-MOSを有することを特徴とする。

【0018】

【発明の実施の形態】

以下添付した図面を参照しながら、実施の形態によって、本発明を詳細に説明する。

本発明によるレベル変換回路の1つは、レベル変換出力に第2の電源が供給されるプルアップおよび／またはプルダウン回路と、第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とする制御回路を設け、この制御信号により前記プルアップおよび／またはプルダウン回路を制御する構成を設けたことを特徴としている。

【0019】

この第2の電源が供給されるプルアップおよび／またはプルダウン回路は、プルアップ機能を実現するMOS トランジスタのドレイン－ソース間電圧を増加させ、（MOS トランジスタが飽和領域動作であっても）、駆動電流を増加するという動作（作用）を実行する。

【0020】

また、第2の電源が供給される制御回路を設けることにより、プルアップおよび／またはプルダウン機能を実現するMOS トランジスタのゲート－ソース間電圧を増加させ、駆動電流を増加するという動作（作用）を実行する。

【0021】

また、第2の電源が供給される制御回路により制御されるプルダウン機能を設けることにより、プルダウン能力を強化するという動作（機能）を実行（発揮）する。

従って、プルアップ能力とプルダウン能力が増加し、p-MOSクロスカップルラッチ部の反転を補助するという効果という効果が得られる。

さらに、本発明によるレベル変換回路は、第2の電源が供給される制御回路の制御信号により、レベル変換コア回路のp-MOSクロスカップルの結合度を制御するという構成を設けたことを特徴としている。第2の電源レベルで結合度を調整するp-MOSスイッチを制御することにより、p-MOSトランジスタのゲート－ソース間電圧を0にまで削減でき、p-MOSクロスカップルラッチ部の結合度を十分小さくできるという動作（機能）を実行する。

【0022】

＜第1実施形態＞

図1に、本発明のレベル変換回路の一実施の形態を示す。本レベル変換回路は、第1の電源（VDDL）が供給される第1の論理回路4の信号レベルを第2の電源（VDDH）が供給される第2の論理回路5の信号レベルに変換するものであり、本発明は、レベル変換コア回路1を有する。この第1の論理回路4からの第1の電源レベルの信号INLとINLBは、レベル変換コア回路1に供給され、第2の電源レベルへの変換を開始する。

本発明に係るレベル変換回路では、上記したレベル変換コア回路1に、さらに、第2の電源が供給される制御回路2と、第2の電源が供給されるプルアップおよび／またはプルダウン回路3とが設けられている。

【0023】

この制御回路2は、レベル変換入力信号（INL、INLB）とレベル変換出力信号（OUTH、OUTHB）とを入力として、プルアップおよび／またはプルダウン回路3の制御信号（C0～C3）を生成し、プルアップ／プルダウン回路3はこの制御信号（C0～C3）に従ってレベル変換出力信号（OUTH、OUTHB）をプルアップおよび／またはプルダウンし、これに基づいてレベル変換動作を行う。

【0024】

こうして得られたレベル変換出力信号（OUTH、OUTHB）の少なくとも1つの信号は、第2の論理回路5に供給される。

図1のレベル変換回路に使用されるレベル変換コア回路1の一例を図2に示す。この図2に示すように、本発明に使用されるレベル変換コア回路1は、第2の電源（VDDH）が各 p-MOS 110 のソース端子に接続され、2種類のレベル変換出力信号OUTHB およびOUTHが前記複数の p-MOS の各ドレイン端子に接続され、これらの p-MOS のドレイン端子が他の p-MOS のゲート端子にそれぞれクロスカップル接続され、前記OUTHB がドレイン端子に接続され、INL がゲート端子に接続され GND 電源がソース端子に接続された n-MOS 103 と、OUTHをドレイン端子に接続しINLBをゲート端子に接続しGND 電源をソース端子に接続した n-MOS 104 とからなる。図2において、p-MOSは2個使用され、n-MOSは、2個使用されているが

、前記 p-MOS 2 個からなるクロス回路は、複数のクロス回路からなってもよい。すなわち、図 2 に示された回路を複数並列に接続等して、レベル変換コア回路を設けることもできる。

【0025】

図 1 のレベル変換回路に使用される制御回路 2 の一例を図 3 に示す。

すなわち、この図に例示される制御回路 2 は、第 2 の電源 (VDDH) が供給され、INL と OUTHB を入力とし C0 を出力とする第 1 の NAND 回路 1021 と、第 2 の電源 (VDDH) が供給され、INLB と OUTH を入力とし C1 を出力とする第 2 の NAND 回路 1022 と、前記第 2 の電源 (VDDH) が供給され、前記第 1 の NAND 回路 1021 の出力 C0 を入力とし C3 を出力とする第 1 のインバータ 1023 と、前記第 2 の電源 (VDDH) が供給され、前記第 2 の NAND の出力 C1 を入力とし C2 を出力とする第 2 のインバータ 1024 とからなる。

【0026】

また、図 1 に示すレベル変換回路に使用されるプルアップ／プルダウン回路 3 の一例を図 4 に示す。この図に例示するように、本発明に係るレベル変換回路に使用されるプルアップ／プルダウン回路 3 は、第 2 の電源 (VDDH) がソース端子に、C0 がゲート端子に、OUTH がドレイン端子にそれぞれ接続された第 1 の p-MOS 1031 と、第 2 の電源 (VDDH) がソース端子に、C1 がゲート端子に、OUTHB がドレイン端子にそれぞれ接続された第 2 の p-MOS 1032 と、GND 電源がソース端子に、C2 がゲート端子に、OUTH がドレイン端子にそれぞれ接続された第 1 の n-MOS 1033 と、GND 電源がソース端子に、C3 がゲート端子に、OUTHB がドレイン端子にそれぞれ接続された第 2 の n-MOS 1034 とからなる。

【0027】

前記図 3 に示す NAND 回路 1021、1022 は、たとえば図 5 に示すように構成されている。図 5 において、レベル変換入力 (INL または INLB のいずれか) を、出力端子に近い n-MOS に接続している。この例に示すように、出力端子から遠い n-MOS に接続する場合に比べてゲート遅延を少なくすることが可能である。またレベル変換の入力は第 1 の電源レベルであるので、第 2 の電源との電位差が大きくなったり、n-MOS の閾値 (V_t) が大きくなったり、特に基板効果による n-M

OSの閾値の上昇の影響が大きくなった場合に、出力端子に近い n-MOSにレベル変換入力 (INL またはINLBのいずれか) 接続すると、遅延が大きくなる場合がある。このような場合には、基板効果の影響の小さい出力端子から遠い n-MOS 2 にレベル変換入力を接続し、出力端子から遠い n-MOSにOUTHまたはOUTHB を入力することによって、前記遅延を小さくすることができる。

【0028】

また、レベル変換入力の接続される p-MOSは、レベル変換入力のHighレベルが第2の電源までいかないため、p-MOS閾値によってはオフせず、また n-MOSは十分にオンしないようなNAND動作が困難になる場合には、たとえば p-MOSのチャネル幅/チャネル長の比(W/L) を小さくしたり、閾値を増加(極性が負で絶対値を増加)させたり、あるいは n-MOSのW/L を大きくしたり閾値を減少させるなどの操作を、単独で、あるいは2以上組み合わせることによりNAND動作を保証させることが可能となる。

【0029】

また、論理動作が可能であっても、p-MOSのW/L を小さくしたり、閾値を減少(例えばVDDL-VDDH 以下に)することによって、NANDリークを抑制可能である。図5において、INL or INLB と表記されているのは、INL かINLBが入力されることを意味し、同様に、OUTH or OUTHB と表記されているのは、OUTHかOUTHB が出力されることを意味する。したがって、入力、出力の組み合わせは、INL 入力の場合には、OUTHかOUTHB との組み合わせが、また、INLB入力の場合には、OUTHかOUTHB との組み合わせが可能である。この入力、出力の組み合わせは、図9においても同様である。

【0030】

図に示す第1の論理回路4、第2の論理回路5、インバータは、公知のものを使用することができ、また本発明とは直接関係しないので、その詳細な構成および動作例の説明を省略する。

【0031】

以下、本発明に係るレベル変換装置の第1実施の形態の動作について説明する。

まず、本発明に係るレベル変換装置の第1実施形態に使用されるレベル変換コア回路の動作について、図6のタイミングチャートを用いて説明する。差動の電源レベルでのレベル変換動作であるので、INLとINLBは第1の電源レベルで差動回路（レベル変換回路）に入力され、Highレベルの入力するn-MOSに接続される側の出力（OUTHまたはOUTHB）がLowに引き落とされ、反対側の出力が第2の電源レベルのHighレベルに引き上げられる。

【0032】

一方、本発明のレベル変換回路の動作を説明すると、図7のタイミングチャートに示すように、初めにINLがLow、INLBがHigh、OUTHがLow、OUTHBがHighとする。まず第1の論理回路4から出力されたINLがHighに遷移すると、信号INLが入力された制御回路2によりC0はLowを出力してOUTHに接続されたプルアップおよび／またはプルダウン回路3中のp-MOSがオンしてOUTHをプルアップするとともに制御回路2から出力されるC3はHighを出力してOUTHBに接続されたプルアップおよび／またはプルダウン回路3中のn-MOSがオンしてOUTHBをプルダウンし、同時にレベル変換コア回路1の動作によりOUTHBがLowに引き下げられると、これにより制御回路2から出力されるC0はHighを出力してプルアップおよび／またはプルダウン回路3中のp-MOSはオフとなりプルアップを終えるとともに制御回路から出力されるC3はLowを出力してプルアップおよび／またはプルダウン回路3中のn-MOSはオフとなりプルダウンを終える。そして、INLがHigh、INLBがLow、OUTHがHigh、OUTHBがLowとなる。

【0033】

次に、第1の論理回路4から出力されたINLBがHigh（INLがLow）となると、信号INLBが入力された制御回路2によりC1はLowを出力してOUTHBに接続されたプルアップおよび／またはプルダウン回路3中のp-MOSがオンに遷移して、OUTHBをプルアップするとともに、制御回路2から出力されるC2はHighを出力して、OUTHに接続されるプルアップおよび／またはプルダウン回路3中のn-MOSがオンに遷移してOUTHをプルダウンし、同時にレベル変換コア回路1の動作によりOUTHがLowに引き下げられる（プルダウンされる）と、制御回路2によりC1はHighを出力して、プルアップおよび／またはプルダウン回路3中のp-MOSはオフとなり、プ

ルアップを終えるとともに、制御回路 2 により C2 は Low を出力して、プルアップおよび／またはプルダウン回路 3 中の n-MOS はオフとなり、プルダウンを終える。そして、INL が Low、INLB が High、OUTH が Low、OUTHB が High となり、これによって最初と同様の状態になる。

【0034】

このように、レベル変換入力が変化する際に、第 2 の電源が供給される制御回路 2 とプルアップ／プルダウン回路 3 とにより、必要な側のレベル変換出力をプルアップ／プルダウンしているので、レベル変換コア回路 1 の動作が補助可能となる。

従って、第 1 の電源と第 2 の電源の電位差が大きくなっても、レベル変換動作マージンを確保するとともに遅延の増加を図 7 の点線に示した立上りまたは立下り時間の遅延（立上りまたは立下りの勾配の低下）および立上りまたは立下りの遅延（立上りまたは立下りのタイミングの遅れ：立上りまたは立下りの開始時間の遅れ）を、実線で示すように抑制することが本発明では可能となった。

【0035】

さらに、本実施の形態では、制御回路 2 はレベル変換出力信号を入力として設けているので、レベル変換入力切り換わり時のプルアップ／プルダウン回路 3 により、必要な時にだけプルアップ／プルダウン動作が行える。この結果、第 1 の電源レベルが入力される制御回路における p-MOS オフ電流を削減する回路構成（NAND 回路）を選択することができる。

【0036】

しかも、補助動作終了後、プルアップ／プルダウン回路 3 はオフする論理となっているので、レベル変換回路の動作を妨げず、あるいは必要以上に遅延させることがないため、本発明に係るレベル変換回路は、高速動作が可能という効果も有する。

【0037】

< 第 1 実施形態の変形例 1 >

上記形態において、p-MOS オフ電流を削減する回路構成として、図 3 に示すような NAND 回路の構成に替えて、図 8 に示すような NOR 回路構成を採用することが

できる。但し、NOR 回路の p-MOS オフ電流を防止するために、レベル変換入力に接続される p-MOS の閾値を $V_{DDL} - V_{DDH} = R$ 以下に低減する必要がある。この時、ゲート遅延削減と基板効果を利用するために、この NOR 回路を、図 9 に示すように、出力端子に近い p-MOS に接続する構成を採用することが好ましい。なお前記 $V_{DDL} - V_{DDH}$ 値 R は、負の値であって、 R の絶対値が増加した場合に閾値 V_t が低減することを意味する。

【0038】

< 第 1 実施形態の変形例 2 >

本発明に係る第 1 の実施の形態のレベル変換回路は、レベル変換コア回路 1 等を図 2 に示す第 1 実施形態で説明した回路とは異なる他の回路構成で実現することが可能である。例えば、図 10 に示すような p-MOS クロスカップルのドレイン側に p-MOS スイッチを設けた回路の構成とすることもできる。この動作は、前記実施形態 1 の動作と同様であるため、その説明を省略する。本実施形態の変形例に示すような、図 10 に示すレベル変換コア回路 1 を採用することによって、第 1 の電源電圧 (V_{DDL}) が低下した場合に、図 2 に示すレベル変換コア回路の p-MOS クロスカップルの結合度を、さらに低下させることができる。すなわち、図 10 に示すように、p-MOS クロスカップル (一对の p-MOS) と、一对の p-MOS スイッチ (一对のその他の p-MOS) と、一对の n-MOS とを有するレベル変換コア回路であって、第 2 の電源 (V_{DDH}) がクロスカップルの各 p-MOS 110 (前記一对の p-MOS) のソース端子に接続され、2 種類のレベル変換出力信号 $OUTH_B$ および $OUTH$ が前記 p-MOS クロスカップルの各ゲート端子および前記 p-MOS スイッチの一方のドレイン端子にそれぞれ接続され、前記 p-MOS スイッチのドレイン端子が前記 p-MOS の一方のソース端子にそれぞれ接続され、前記 $OUTH_B$ が前記 p-MOS スイッチのもう一方のドレイン端子に接続され、前記 $OUTH$ がドレイン端子に INL がゲート端子に GND 電源がソース端子に接続された n-MOS 103 と、 $OUTH$ がドレイン端子に INL_B がゲート端子に GND 電源がソース端子に接続された n-MOS 104 とを有して構成されている。このように、p-MOS 111 と 112 とからなる p-MOS スイッチ一对を前記した間に p-MOS クロスカップルと n-MOS 間に設けることによって、当該 1 対のクロスカップルを形成する p-MOS クロスカップル間のクロス結合

の強さを低下させて、high⇔Lowの遷移の高速化を図ることができる。

【0039】

このような図10に示すレベル変換コア回路1を採用した場合には、制御回路2として、前記したような図3に示すNAND回路を有する制御回路2（NAND回路として、例えば前記同様に、図5に示す回路を選択することが好ましい）、あるいは、前記変形例1と同様のNOR構成を有する図8で示される制御回路2（好ましくは、図9で示されるNOR回路を採用することが、前記同様、好ましい）を採用することができる。

【0040】

<第1実施形態の変形例3>

レベル変換コア回路1を、図2または図10以外に、図11に示す回路1を用いることができる。このレベル変換回路1には、レベル変換出力に第1の電源VDLが接続され、レベル変換入力信号で制御される回路を第1実施形態に係るレベル変換回路に、レベル変換コア回路1として採用することもできる。このようなレベル変換コア回路1を用いたレベル変換回路は、n-MOS103がHighに遷移するのを手助けし、もう一方のn-MOS104がLowになるのを手助けすることができる。これによって、レベル変換の動作の高速化が可能となり、また第1の電源と第2の電源との格差が大きくなった場合のレベル変換マージンとを確保することができる。

【0041】

このレベル変換回路の動作も前記第1実施形態と同様であり、その説明を省略する。なお本変形例3においても、前記変形例2と同様の制御回路2の組み合わせの変更が可能である。すなわち、制御回路2として、前記同様、図3に示すNAND回路を有する制御回路2（NAND回路として、例えば前記同様に、図5に示す回路を選択することが好ましい）、NOR構成を有する図8で示される制御回路2（好ましくは、図9で示されるNOR回路を採用することが、前記同様、好ましい）を挙げることができる。

【0042】

<第2実施形態>

本発明に係るレベル変換回路の第2実施形態について説明する。本実施形態では、図12に示すように、前記第1実施形態のプルアップ／プルダウン回路3のプルダウン機能を省略することが可能である。図12に採用される構成例において、図13に示す制御回路2の構成と、図14または図17のプルアップ回路とを組み合わせる用いたり、または、図15、図16に示す制御回路を用い、それぞれ図14、図17に示されるプルアップ回路3-1を組み合わせる用いることができる。この図16に示す制御回路2は、制御信号C0、C1を出力するような他の制御回路、たとえば図13又は図15に置換して行うことができる。ただし、この置換後に、プルアップ回路を上述した図17に示すプルアップ回路3-1から、このプルアップ回路と極性が反対の図14に示すプルアップ回路3-1に変更する。

【0043】

第2実施形態の動作例

次に第2実施形態の動作例を説明する。

図31～図32のタイミングチャートに示すように、初めにINLが^sLow、INLBが^sHigh、OUTHが^sLow、OUTHBが^sHighとする。プルアップ回路のみの機能を使用した場合には、図31に示すように、まずINLが^sHighに遷移すると、C0はLowを出力してOUTHに接続されたp-MOSがオンしてOUTHをプルアップし、同時にレベル変換コア回路の動作によりOUTHBが^sLowに引き下げられると、C0はHighを出力してp-MOSはオフとなりプルアップを終える。そして、INLが^sHigh、INLBが^sLow、OUTHが^sHigh、OUTHBが^sLowとなる。

【0044】

次に、INLBが^sHigh(INLが^sLow)となると、C1はLowを出力してOUTHBに接続されたp-MOSがオンに遷移してOUTHBをプルアップし、同時にレベル変換コア回路の動作によりOUTHが^sLowに引き下げられると、C1はHighを出力して、p-MOSはオフとなり、プルアップを終える。そして、INLが^sLow、INLBが^sHigh、OUTHが^sLow、OUTHBが^sHighとなり、これによって最初と同様の状態になる。

【0045】

<第2実施形態の変形例>

本第2の実施形態の変形例では、図18に示すように、プルアップ機能の省略をすることができる（この時、図19または図21で示される制御回路1と、図20または図23で示されるプルダウン回路3-2とを組み合わせる用いるか、または図22に示される制御回路2と、図15で示されるプルダウン回路3-2を組み合わせる用いることができる）。本変形例1では、制御信号として、C2およびC3を用いた例を示す。

【0046】

また前記図20を用いたプルダウン回路3-1（n-MOS（トランジスタ）構成）を、図23に示すp-MOS（トランジスタ）構成のプルダウン回路に置換可能である。すなわち、レベル変換コア回路1を図2に示す回路にし、制御回路2を図19、図20および図21のいずれかにした場合に、プルダウン回路3-2として、図20または図23のいずれかを適宜選択してレベル変換回路を構成することができる。ただし、これらの組み合わせは、極性に合わせて決める必要がある。

【0047】

このような、第2実施形態の変形例に示すプルダウン回路のみの機能を使用した場合には、図32に示すように、INLが^sLow、INLBが^sHigh、OUTHが^sLow、OUTH Bが^sHighの場合、INLが^sHigh（INLBが^sLow）となるとC3はHighを出力し、その結果、OUTH Bに接続されるn-MOSがオンしてOUTH Bをプルダウンし、同時にレベル変換コア回路の動作によりOUTH Bが^sLowに引き下げられると、C3はLowを出力してn-MOSはオフとなりプルダウンを終える。そして、INLが^sHigh、INLBが^sLow、OUTHが^sHigh、OUTH Bが^sLowになる。

【0048】

次に、INLBが^sHigh（INLが^sLow）となると、C2はHighを出力してOUTHに接続されるn-MOSがオンに遷移してOUTHをプルダウンし、同時にレベル変換コア回路の動作によりOUTHが^sLowに引き下げられると、C2はLowを出力してn-MOSはオフとなりプルダウンを終える。そして、INLが^sLow、INLBが^sHigh、OUTHが^sLow、OUTH Bが^sHighとなる。

【0049】

このように、レベル変換入力に変化する際に、第2の電源が供給される制御回路とプルアップまたはプルダウン回路により、必要な側のレベル変換出力をプルアップまたはプルダウンしているので、レベル変換コア回路の動作が補助可能となる。

従って、第1の電源と第2の電源の電位差が大きくなっても、レベル変換動作マージンを確保するとともに遅延の増加を抑制できる。

【0050】

本実施形態では、上述したように、制御信号として、2種類の信号を用いることにより、レベル変換をなしうる回路構成としているが、この2種類の信号は、第1実施形態で使用されている制御信号C0～C3のうちの2つから選択される信号を用いることができるが、上述したC0とC1の2つの信号を出力するような制御回路2を使用して、制御する図12に示す構成と、たとえば図18に示す構成を示すことができ、これら、2つの信号を用いて制御する制御回路2を用い、プルアップおよび／またはプルダウン回路3を制御回路が出力する制御信号に基づいて適宜変更する構成は、本実施形態に含まれる。

【0051】

<第3実施形態>

本発明に係るレベル変換回路の第3の実施形態は、図24に示すように、第1の電源VDDLが入力される第1の論理回路4から出力されるINL またはINLB信号によりプルアップするプルアップ回路3-1と、前記INL および／またはINLB信号と、第2の電源VDDHとを入力し、OUTHおよび／またはOUTHB 信号を出力するレベル変換コア回路とからなる。この前記OUTHおよび／またはOUTHB 信号は、外部の第2の電源を入力する第2の論理回路に出力される。

【0052】

本第3実施形態は、第2実施形態において、プルダウン機能を省略した場合に相当する。そして本実施形態では、制御回路2も省略することが可能である。このように、レベル変換入力を第2の電源が供給されるプルアップ回路に直接接続すると、ドレインソース間電圧を増加でき、本変形例2のレベル変換装置は、レベル変換が有効である（飽和領域であっても、ドレイン電流はドレインソー

ス間電圧が増加すると増える)。この時、図 25 あるいは図 26 のプリアップ回路を用いることが出来、特に図 26 では、p-MOS の閾値を前記したような $V_{DDL}-V_{DDH}$ 値以下の領域でオフリークを低減可能とすることができる。

【0053】

このような本発明に係るレベル変換回路の第 3 の実施形態の動作例を説明すると、図 6 のタイミングチャートに示すように、初めに INL が Low、INLB が High、OUTH が Low、OUTHB が High とする。まず第 1 の論理回路 4 から出力された INL が High に遷移すると、信号 INL (プリアップ回路の入力信号であるので C0 と表記) は、OUTH に接続されたプリアップ回路 3-1 中の n-MOS がオンして OUTH をプリアップする。このとき INLB (プリアップ回路の入力信号であるので前記同様に C1 と表記) は Low であるので、OUTHB が入力される他の n-MOS はオフとなっている。次いでレベル変換コア回路 1 の動作により OUTHB が Low に引き下げられると、C0 は High を出力してプリアップ回路 3-1 中の n-MOS はオフとなりプリアップを終える。そして、INL が High、INLB が Low、OUTH が High、OUTHB が Low となる。

【0054】

次に、第 1 の論理回路 4 から出力された INL が High (INLB が Low) となると、信号 INLB (C1) は Low を出力して OUTHB に接続されたプリアップ回路 3-2 中の n-MOS がオンに遷移して、OUTHB をプリアップする。C1 は High を出力して、プリアップ回路 3-1 中の n-MOS はオフとなり、プリアップを終える。そして、INL が Low、INLB が High、OUTH が Low、OUTHB が High となり、これによって最初と同様の状態になる。この変形例 2 の動作は、図 25 のプリアップ回路 3-1 を用いた場合を例示したが、プリアップ回路 3-1 を、図 26 に示すプリアップ回路が用いられた場合には、INL 信号がゲートに入力する p-MOS には、OUTHB 信号が入力され、INLB 信号がゲートに入力される p-MOS には、OUTH 信号が入力される。そしてこのような p-MOS が使用されるプリアップ回路が採用されたレベル変換回路では、n-MOS が使用された前記したプリアップ回路 3-1 の基本動作と基本的には同様である。ただし、p-MOS が n-MOS と極性が反転しているので、ON、OFF 動作が、前記したプリアップ回路 3-1 の基本動作と反転しており、この反転するところが異なっている。

【0055】

<第4実施形態>

第4実施形態のその基本的構成は、上記した実施形態と同様である。本実施形態では、レベル変換コア回路1の構成に従って使用される制御回路2を、さらに工夫している。その構成を図27に示す。

本図において、図10に記載のレベル変換コア回路における p-MOSスイッチ制御の生成機能をさらに追加している。

レベル変換コア回路1と制御回路2の例を、図28および図29にそれぞれ示す。このような本第4実施形態で使用される図4で示されるプルアップ／プルダウン回路3が好ましく用いられるが、プルアップ回路3-1を図14、図17、図25および図26の中から選択される1つのプルアップ回路3-1と、プルダウン回路3-2を図20または図23のいずれかのプルダウン回路3-2を選択して用いることもできる。このようなレベル変換コア回路1と制御回路2を用いたレベル変換装置の動作のタイミングを、図30に示す。

【0056】

即ち、INL がLow、INLBがHigh、OUTHがLow、OUTHB がHighの場合、第1の論理回路から出力されたINL 信号がHigh (INLBがLow) となると制御回路2はこのINL 信号が入力されてC0信号等を出力する。この出力されたC0はLow を出力してOUTHに接続されたプルアップおよび／またはプルダウン回路3内の p-MOSがオンしてOUTHをプルアップするとともに制御回路2によりC3はHighを出力し、その結果、プルアップおよび／またはプルダウン回路3内のOUTHB に接続される n-MOSがオンしてOUTHB をプルダウンし、制御回路2によりC4はHighを出力してOUTHB に接続されるプルアップおよび／またはプルダウン回路3内の p-MOSスイッチをオフしてOUTHB のプルアップを抑制し、同時にレベル変換コア回路1の動作によりOUTHB がLow に引き下げられると、制御回路2によりC0はHighを出力してプルアップおよび／またはプルダウン回路3内の p-MOSはオフとなり、プルアップを終えるとともに、制御回路2によりC3はLow を出力してプルアップおよび／またはプルダウン回路3内の n-MOSはオフとなりプルダウンを終え、制御回路2によりC4はLow を出力してプルアップおよび／またはプルダウン回路3内の p-MOSス

イッチはオンとなる。そして、INL がHigh、INLBがLow、OUTHがHigh、OUTHB がLow になる。

【0057】

次に、外部の第1の論理回路4によりINLBがHigh(INLがLow)となると、この信号が入力されて制御回路2により、C1はLow を出力してOUTHB に接続されるプルアップおよび／またはプルダウン回路3内の p-MOSがオンに遷移してOUTHB をプルアップするとともに、制御回路2によりC2はHighを出力してOUTHに接続されるプルアップおよび／またはプルダウン回路3内の n-MOSがオンに遷移してOUTHをプルダウンし、制御回路2によりC5はHighを出力してOUTHに接続されるプルアップおよび／またはプルダウン回路3内の p-MOSスイッチをオフに遷移してOUTHのプルアップを抑制し、同時にレベル変換コア回路1の動作によりOUTHがLow に引き下げられると、制御回路2によりC1はHighを出力してプルアップおよび／またはプルダウン回路3内の p-MOSはオフとなりプルアップを終えるとともに、制御回路2によりC2はLow を出力してプルアップおよび／またはプルダウン回路3内の n-MOSはオフとなりプルダウンを終え、制御回路によりC5はLow を出力してプルアップおよび／またはプルダウン回路3内の p-MOSスイッチはオンとなる。そして、INL がLow、INLBがHigh、OUTHがLow、OUTHB がHighとなる。なおここでプルアップおよび／またはプルダウン回路3内の n-MOS (トランジスタ)、p-MOS (トランジスタ) は、上記したような図4で示される構成を採用した場合について説明した。しかしながら、n-MOSを p-MOSに入れ替えおよび／または p-MOSを n-MOSに入れ替えた構成を採用した場合には、OUTH信号とOUTHB 信号の接続を換え、前記動作の説明でも、そのように入れ替えて解釈することによって動作されることとなる。

【0058】

このように、本第4の実施形態では、レベル変換入力変化時に、p-MOSクロスカップ結合をより大きく抑制でき、レベル変換動作マージンの確保、高速化、さらには貫通電流の低減化という効果が得られる。すなわち、図30の点線に示したような一般的なレベル変換回路に見られるOUTHまたはOUTHB の立上りおよび立下り時間(立上りまたは立下りの勾配)を本発明では、実線に示したように高速

化（急勾配）するとともに、立上りまたは立下りのタイミングを早めることができる。

本構成において、制御回路 1 を、図 29 に示す回路に代えて、図 34 に示すような NOR 回路構成としてもよい。すなわち、レベル変換コア回路 1 を、図 28 に示す回路を用い、制御回路 1 を図 34 に示す回路に変更する。

【0059】

<第 4 実施形態の変形例>

また、プルアップおよび／またはプルダウン回路 3 の一方の機能を省略した構成を採用することができる。このようなプルアップ回路 3-1 またはプルダウン回路 3-2 は、前記した図 14、図 17、図 25 または図 26 から選択されるプルアップ回路 3-1、図 20 または図 23 から選択されるプルダウン回路 3-2 の 1 つであり、図 28 に示すレベル変換コア回路 1 等の第 4 実施形態で使用されるレベル変換コア回路 1 が用いられる。ここで使用される制御回路は、プルアップ回路 3-1 またはプルダウン回路 3-2 が選択された場合に、前記第 2 実施形態、第 2 実施形態の変形例、第 3 実施形態で説明したプルアップ回路 3-1 またはプルダウン回路 3-2 と組み合わせることのできる制御回路 2 を選択することができる。

【0060】

このような第 4 実施形態の変形例の動作は、プルアップ回路 3-1 が選択された場合には、図 31 で示されるタイミングチャートに従い、また、プルダウン回路 3-2 が選択された場合には、図 32 または図 33 で示されるタイミングチャートに従って、動作が行われる。

すなわち、プルアップ回路 3-1 が選択された場合には、図 31 に示すように、INL が Low、INLB が High、OUTH が Low、OUTHB が High の場合、第 1 の論理回路から出力された INL 信号が High (INLB が Low) となると制御回路 2 はこの INL 信号が入力されて C0 信号等を出力する。この出力された C0 は Low を出力して OUTH に接続されたプルアップ回路 3-1 内の p-MOS がオンして OUTH をプルアップし、制御回路 2 により C4 は High を出力して OUTHB に接続されるプルアップ回路 3-1 内の p-MOS スイッチをオフして OUTHB のプルアップを抑制し、同時にレベル変換コ

ア回路1の動作によりOUTHBがLowに引き下げられると、制御回路2によりC0はHighを出力してプルアップ回路3-1内のp-MOSはオフとなり、プルアップを終える。そして、INLがHigh、INLBがLow、OUTHがHigh、OUTHBがLowになる。

【0061】

次に、外部の第1の論理回路4によりINLBがHigh(INLがLow)となると、この信号が入力されて制御回路2により、C1はLowを出力してOUTHBに接続されるプルアップ回路3-1内のp-MOSがオンに遷移してOUTHBをプルアップし、制御回路2によりC5はHighを出力してOUTHに接続されるプルアップ回路3-1内のp-MOSスイッチをオフに遷移してOUTHのプルアップを抑制し、同時にレベル変換コア回路1の動作によりOUTHがLowに引き下げられると、制御回路2によりC1はHighを出力してプルアップ回路3-1内のp-MOSはオフとなりプルアップを終える。制御回路によりC5はLowを出力してプルアップ回路3-1内のp-MOSスイッチはオンとなる。そして、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighとなる。なおここでプルアップ回路3-1内のn-MOS(トランジスタ)、p-MOS(トランジスタ)は、上記したような図14で示される構成を採用した場合について説明した。しかしながら、n-MOSをp-MOSに入れ替えおよび/またはp-MOSをn-MOSに入れ替えた構成を採用した場合には、OUTH信号とOUTHB信号の接続を換え、前記動作の説明でも、そのように入れ替えて解釈することによって動作されることとなる。

【0062】

また、プルダウン回路3-2が採用された場合には、以下のようになる。

即ち、図32または図33に示すように、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighの場合、第1の論理回路から出力されたINL信号がHigh(INLBがLow)となると制御回路2はこのINL信号が入力されてC2信号等を出力する。この出力されたC3はHighを出力し、その結果、プルダウン回路3-2内のOUTHBに接続されるn-MOSがオンしてOUTHBをプルダウンし、同時にレベル変換コア回路1の動作によりOUTHBがLowに引き下げられると、制御回路2によりC3はLowを出力してプルダウン回路3-2内のn-MOSはオフとなりプルダウンを終える。そして、INLがHigh、INLBがLow、OUTHがHigh、OUTHBがLowになる。

【0063】

次に、外部の第1の論理回路4によりINLBがHigh(INLがLow)となると、この信号が入力されて制御回路2により、C2はHighを出力してOUTHに接続されるプルダウン回路3-2内のn-MOSがオンに遷移してOUTHをプルダウンし、同時にレベル変換コア回路1の動作によりOUTHがLowに引き下げられると、制御回路2によりC2はLowを出力してプルダウン回路3-2内のn-MOSはオフとなりプルダウンを終える。そして、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighとなる。なおここでプルアップおよび／またはプルダウン回路3内のn-MOS（トランジスタ）、p-MOS（トランジスタ）は、上記したような図20で示される構成を採用した場合について説明した。しかしながら、n-MOSをp-MOSに入れ替えおよび／またはp-MOSをn-MOSに入れ替えた構成を採用した場合には、前記同様に、OUTH信号とOUTHB信号の接続を換え、前記動作の説明でも、そのように入れ替えて解釈することによって動作されることとなる。

【0064】

<第5実施形態>

本実施形態は、第4実施形態において使用した図28に示すレベル変換コア回路1を用いた例であり、図35に示すように、プルアップ／プルダウン回路の両方を省略した構成である。本第5実施形態では、レベル変換コア回路1および制御回路2は、第4実施形態で説明したのと同様のものを用いることができる。すなわち、レベル変換コア回路1として、図28に示すレベル変換コア回路1を採用し、制御回路2として、図29または図34に示す制御回路2を採用する。すなわち、本第5実施形態のレベル変換回路は、制御回路2と、レベル変換コア回路1とからなり、制御回路2は、第1の論理回路からの出力信号INLとINLBおよび第1の電源VDDHを入力して、レベル変換コア回路1を制御する制御信号（C4、C5など）を出力し、レベル変換コア回路1は、制御回路から出力された信号と、第1の論理回路からの信号INL、INLBおよび第2の電源VDDHを入力して、第2の論理回路を制御するための信号OUTH、OUTHBを出力する。また前記レベル変換コア回路から出力されたOUTH、OUTHB信号は、前記制御回路に入力される。このように、図34に示す制御回路のように、制御信号C4、C5を出力するために、イン

バーター回路が不要となる回路を採用することができる。

【0065】

このような、本第5の実施形態に示されるレベル変換回路では、図33に示すタイミングチャートに従って動作される。

すなわち、INL がLow、INLBがHigh、OUTHがLow、OUTHB がHighの場合、第1の論理回路から出力されたINL 信号が Low (INLBがHigh) となると制御回路2は、このINL 信号が入力されてC4信号等を出力する。この出力されたC4はLow を出力し、このC4が入力されたレベル変換コア回路1内の p-MOSがオンしてOUTHB をプルアップする。その結果、制御回路2によりC4はHighを出力してOUTHB に接続されるレベル変換コア回路1内の p-MOSスイッチをオフしてOUTHB のプルアップを抑制し、同時にレベル変換コア回路1の動作によりOUTHB がLow に引き下げられると、このOUTHB がゲートに入力されるレベル変換コア回路内の p-MOSはオンとなり、C5がゲートに入力されるレベル変換コア回路内の p-MOSもオンとなり、他方のプルアップを終えるとともに、制御回路2によりC3はLow を出力してプルアップおよび／またはプルダウン回路3内の n-MOSはオフとなりプルダウンを終え、制御回路2によりC4はLow を出力してプルアップおよび／またはプルダウン回路3内の p-MOSスイッチはオンとなる。そして、INL がHigh、INLBがLow、OUTHがHigh、OUTHB がLow になる。

【0066】

次に、外部の第1の論理回路4によりINLBがHigh(INLがLow)となると、この信号が入力されて制御回路2により、C4はLow を出力してOUTHB に接続されるレベル変換回路1内の p-MOSがオンに遷移してOUTHB をプルアップするとともに、制御回路2によりC5はHighを出力してOUTHに接続されるレベル変換コア回路1内の n-MOSがオンに遷移してOUTHをプルダウンし、制御回路2によりC5はHighを出力してOUTHに接続されるレベル変換コア回路1内の p-MOSスイッチをオフに遷移してOUTHのプルアップを抑制し、同時にレベル変換コア回路1の動作によりOUTHがLow に引き下げられると、制御回路2によりC4はHighを出力してレベル変換コア回路1内の p-MOSはオフとなりプルアップを終えるとともに、制御回路2によりC5はLow を出力してレベル変換コア回路1内の n-MOSはオフとなりプルダウンを

終え、制御回路によりC5はLow を出力してレベル変換コア回路1内の p-MOSスイッチはオンとなる。そして、INL がLow、INLBがHigh、OUTHがLow、OUTHB がHighとなる。なおここでプルアップおよび／またはプルダウン回路3内の n-MOS (トランジスタ)、 p-MOS (トランジスタ) は、上記したような図28で示される構成を採用した場合について説明した。しかしながら、n-MOSを p-MOSに入れ替えおよび／または p-MOSを n-MOSに入れ替えた構成を採用した場合には、OUTH信号とOUTHB 信号の接続を換え、前記動作の説明でも、そのように入れ替えて解釈することによって動作されることとなる。

このようなプルアップおよび／またはプルダウン回路3の両方を省略した構成であっても、p-MOSスイッチを制御回路出力の第2の電源レベルでしっかり制御できるため、レベル変換動作マージン改善に有効である。

【0067】

本第5実施形態のレベル変換コア回路1を、同様の機能を有するレベル変換コア回路に変更してもよい。なお、本発明が上記各実施形態に限定されずに解釈されるべきであり、本発明の技術思想の範囲内において、各実施形態は適宜変更可能であり、これらの変形例も、当然に本発明に含まれる。なお図面中、p-MOSトランジスタには、ゲートの部分に丸(○)を書いて表示した。

上記した実施形態1～5では、第2の論理回路を制御する制御信号OUTHまたはOUTHBのうち、少なくとも1方を用いることができる。すなわち、第2の論理回路を制御するために、OUTHまたはOUTHBを用いるか、OUTHとOUTHBの両方をその目的に応じて、適宜、用いることができる。

【0068】

【発明の効果】

以上説明したように、本発明によれば、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、第2の電源が供給されるレベル変換コア回路と第2の電源が供給される制御回路と第2の電源が供給されるプルアップ／プルダウン回路を設ける基本構成に基づき第1の電源と第2の電源の電位差が大きくなった場合にもレベル変換動作マージンの確保、遅延増加抑制を実現したレベル変換が

得られる。

【0069】

また、本発明によれば、レベル変換コア回路を有する基本構成とし、当該レベル変換コア回路を制御する制御信号を出力する制御回路および／または当該レベル変換コア回路により制御されるプルアップおよび／またはプルダウン回路を設ける基本構成に基づき第1の電源と第2の電源の電位差が大きくなった場合にもレベル変換動作マージンの確保、遅延増加抑制を実現したレベル変換が得られる。

【図面の簡単な説明】

【図1】

本発明に係るレベル変換回路の実施の形態例を示す図である。

【図2】

本発明に係るレベル変換回路に使用されるレベル変換コア回路の例を示す図である。

【図3】

本発明に係るレベル変換回路に使用される制御回路の例を示す図である。

【図4】

本発明に係るレベル変換回路に使用されるプルアップ／プルダウン回路の例を示す図である。

【図5】

本発明に係るレベル変換回路に使用されるNAND回路の例を示す図である。

【図6】

本発明に係るレベル変換回路に使用されるレベル変換コア回路の動作例を示すタイミングチャートである。

【図7】

本発明に係るレベル変換回路に使用される制御回路とプルアップ／プルダウン回路の動作例を示すタイミングチャートである。

【図8】

本発明に係るレベル変換回路に使用される制御回路の別の例を示す図である。

【図 9】

本発明に係るレベル変換回路に使用されるOR回路の例を示す図である。

【図 10】

本発明のレベル変換装置に使用されるレベル変換コア回路の別の例を示す回路図である。

【図 11】

本発明のレベル変換装置に使用されるレベル変換コア回路の他の別の例を示す回路図である。

【図 12】

本発明のレベル変換回路の第2の実施形態を示す構成図である。

【図 13】

第2の実施形態に使用される制御回路の回路例を示す図である。

【図 14】

第2の実施形態に使用されるプルアップ回路の例を示す回路図である。

【図 15】

第2の実施形態に使用される制御回路の別の例を示す回路図である。

【図 16】

第2の実施形態に使用される制御回路の他の別の例を示す回路図である。

【図 17】

第2の実施形態に使用されるプルアップ回路の別の例を示す図である。

【図 18】

第2実施形態の変形例の構成を示す図である。

【図 19】

第2実施形態の変形例に使用される制御回路の例を示す図である。

【図 20】

第2実施形態の変形例に使用されるプルダウン回路の例を示す回路図である。

【図 21】

第2実施形態の変形例に使用される制御回路の別の例を示す回路図である。

【図 22】

第2実施形態の変形例に使用される制御回路の他の別の例を示す回路図である。

【図23】

第2実施形態の変形例に使用されるプルダウン回路の別の例を示す回路図である。

【図24】

本発明のレベル変換装置の第2の実施の形態の変形例の構成を示す図である。

【図25】

第2の実施の形態の変形例に使用されるプルアップ回路の例を示す回路図である。

【図26】

第2の実施の形態の変形例に使用されるプルアップ回路の別の例を示す回路図である。

【図27】

本発明のレベル変換装置の第3の実施の形態の構成例を示す図である。

【図28】

第3の実施の形態に使用されるレベル変換コア回路の例を示す回路図である。

【図29】

第3の実施の形態に使用される制御回路の例を示す回路図である。

【図30】

本発明のレベル変換装置の第3の実施の形態の動作を示すタイミングチャートである。

【図31】

本発明のレベル変換装置の第3の実施（プルアップ機能を発揮させた場合）の形態の動作を示すタイミングチャートである。

【図32】

本発明のレベル変換装置の第3の実施（プルダウン機能を発揮させた場合）の形態の動作を示すタイミングチャートである。

【図33】

本発明のレベル変換装置の第3の実施の形態の動作を示すタイミングチャートである。

【図34】

第3の実施の形態に使用される制御回路の別の例を示す回路図である。

【図35】

第2実施形態の他の変形例を示す構成図である。

【図36】

従来のレベル変換回路の例を示す回路図である。

【図37】

従来のレベル変換回路の別の例を示す回路図である。

【図38】

従来のレベル変換回路のさらに別の例を示す回路図である。

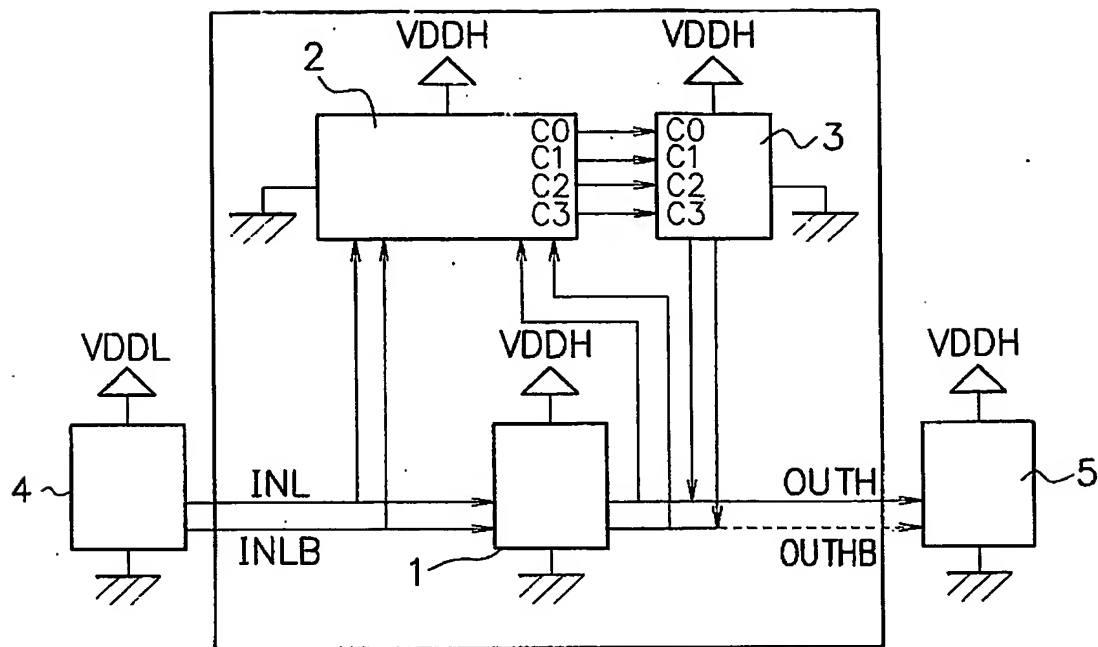
【符号の説明】

- 1 レベル変換コア回路
- 2 制御回路
- 3 プルアップ／プルダウン回路
 - 3-1 プルアップ回路
 - 3-2 プルダウン回路
- 4 第1の論理回路
- 5 第2の論理回路

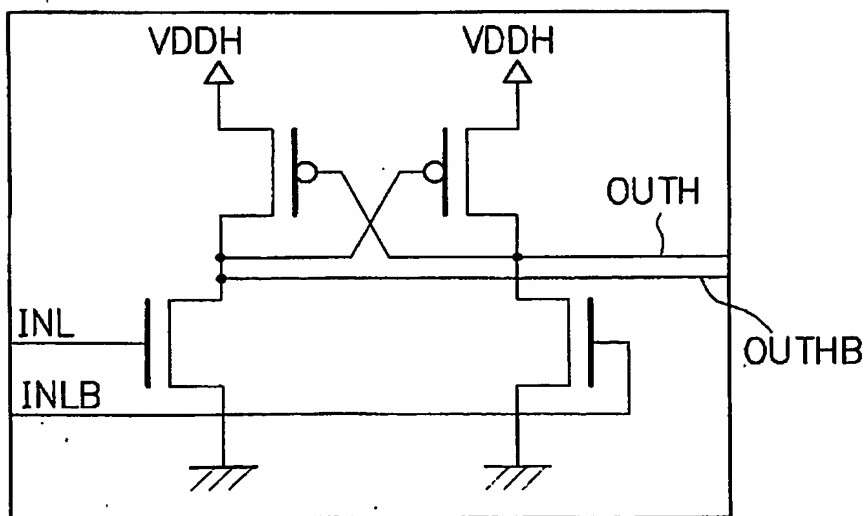
【書類名】

図面

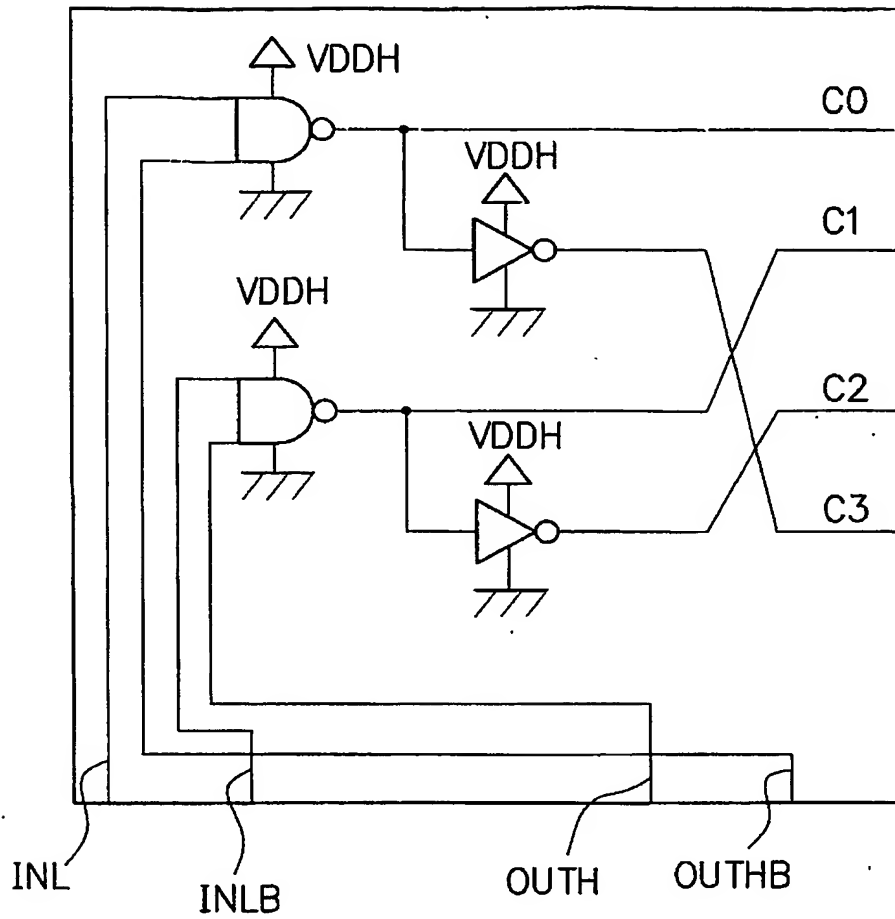
【図 1】



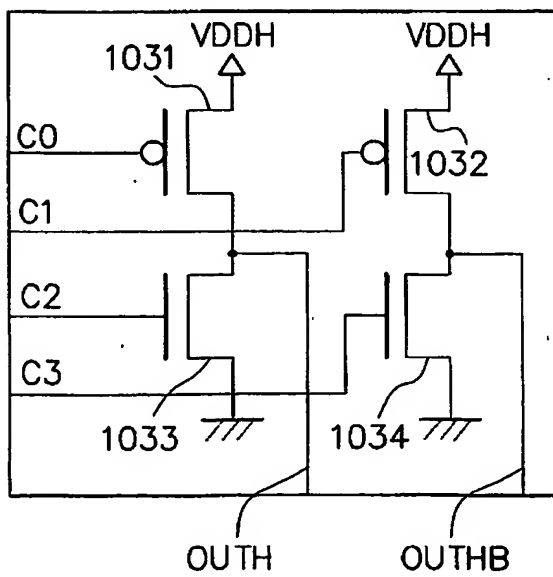
【図 2】



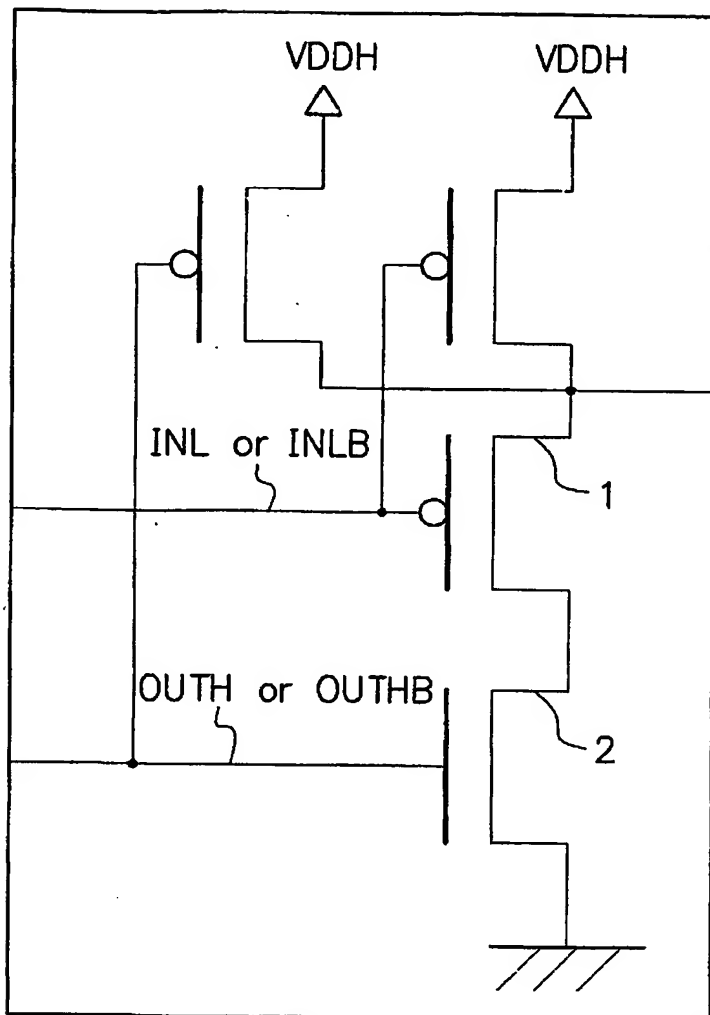
【図 3】



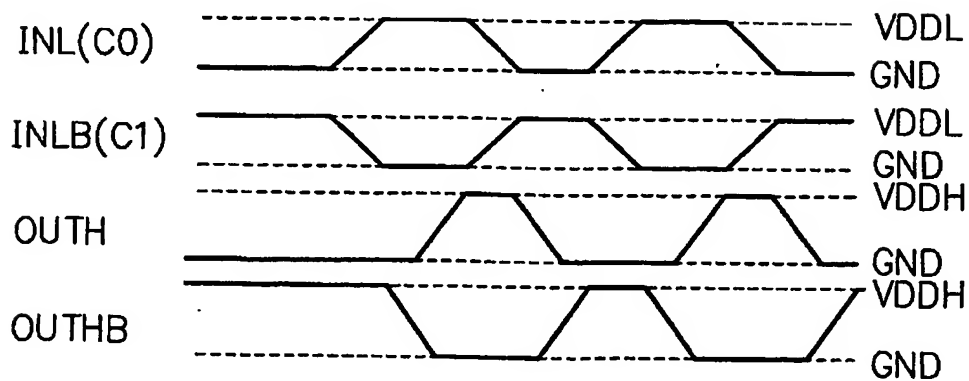
【図 4】



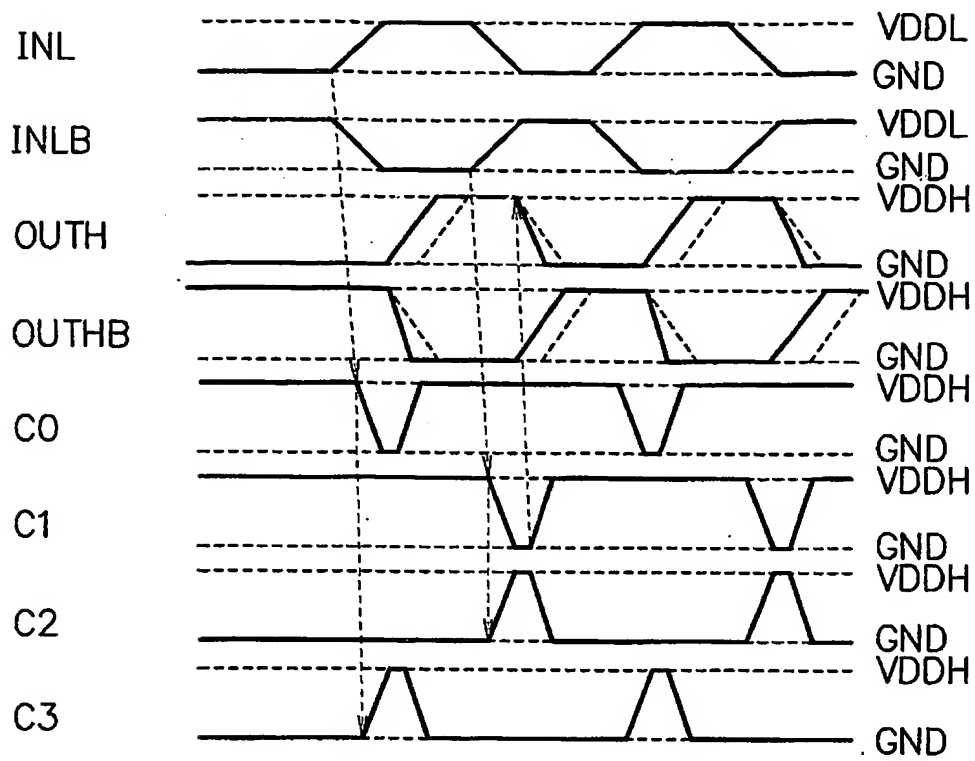
【図 5】



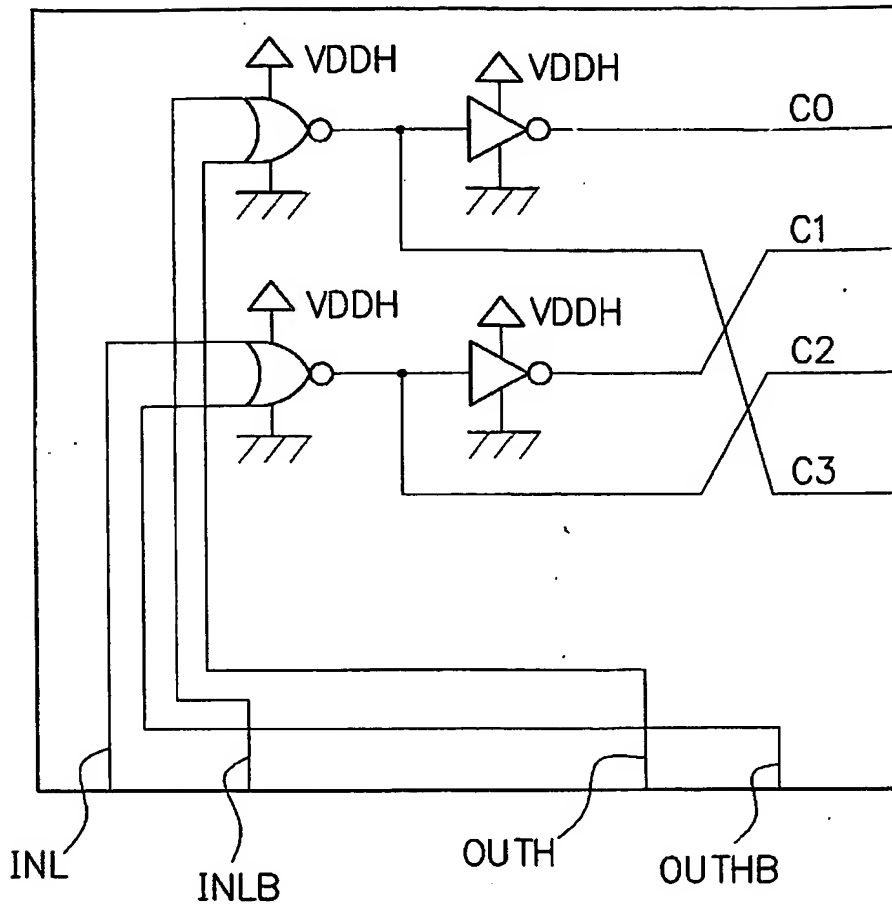
【図 6】



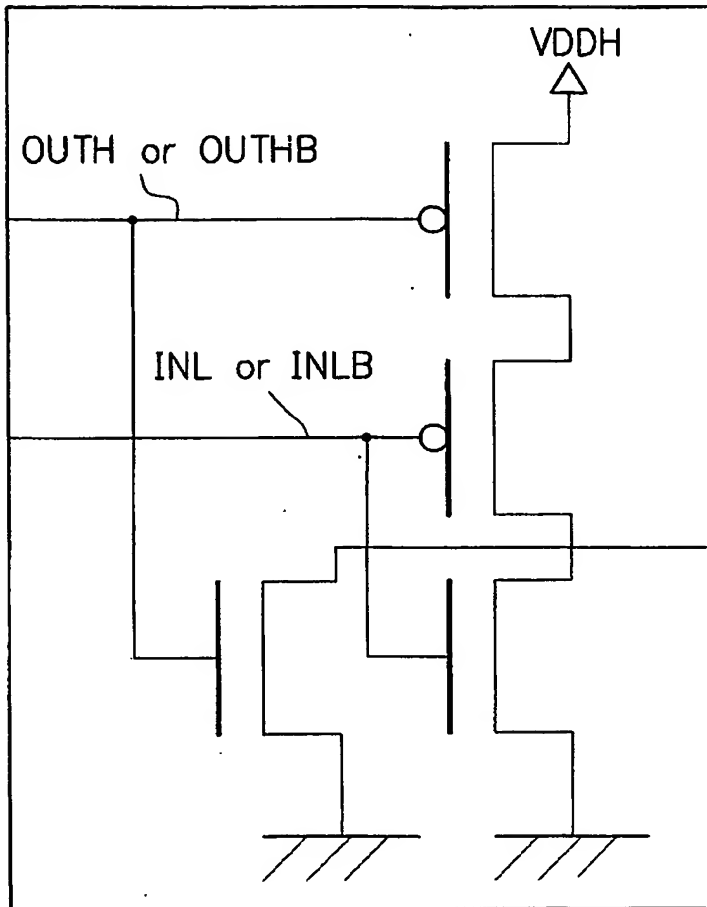
【図 7】



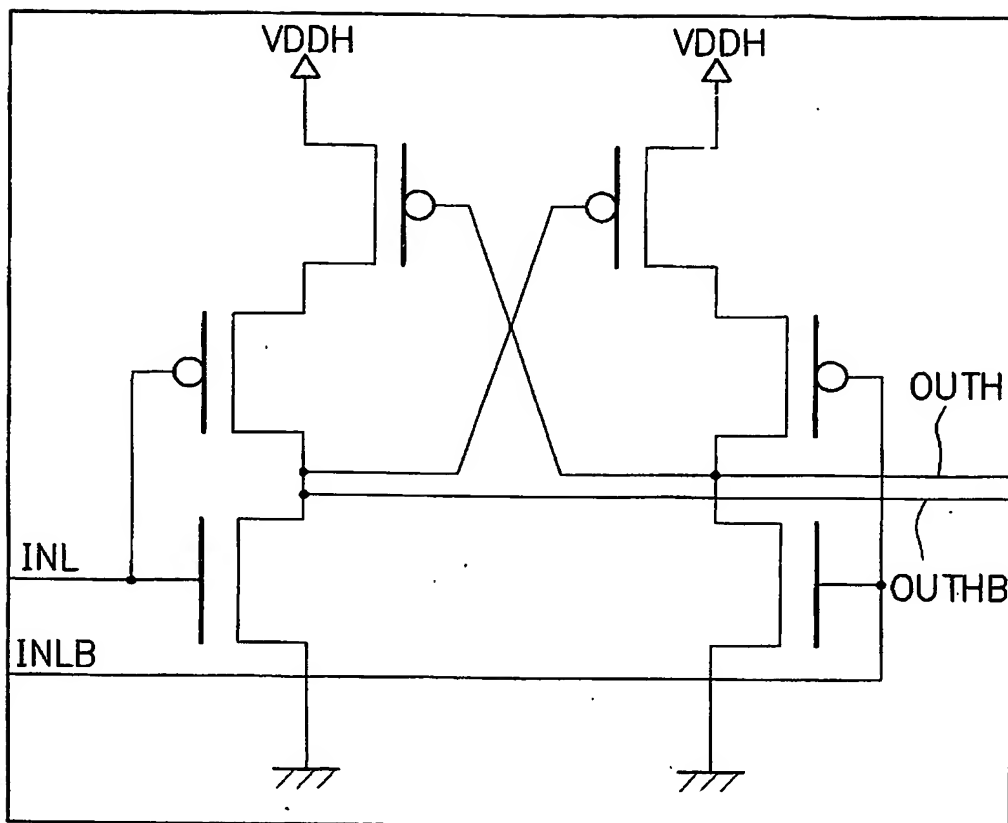
【図 8】



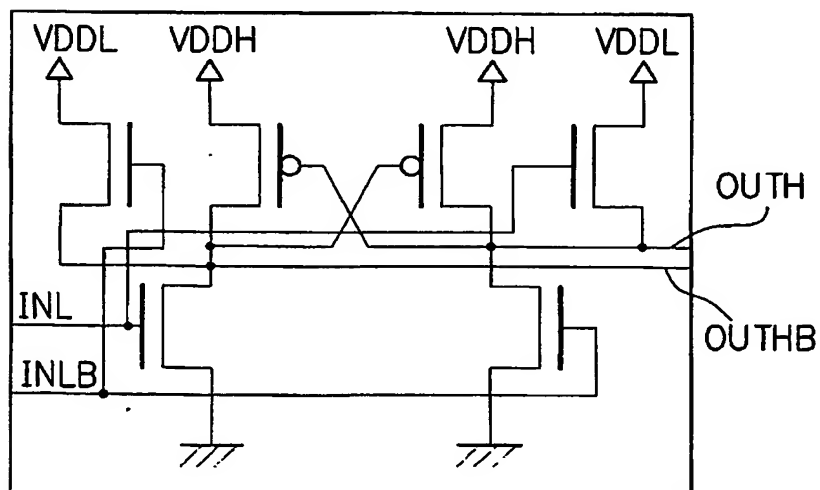
【図 9】



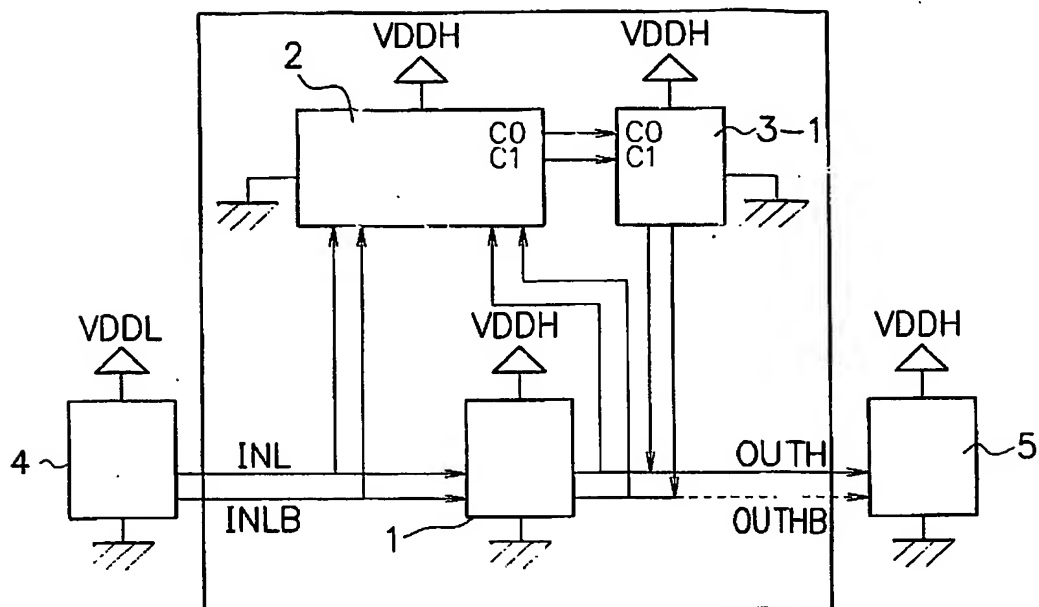
【図 10】



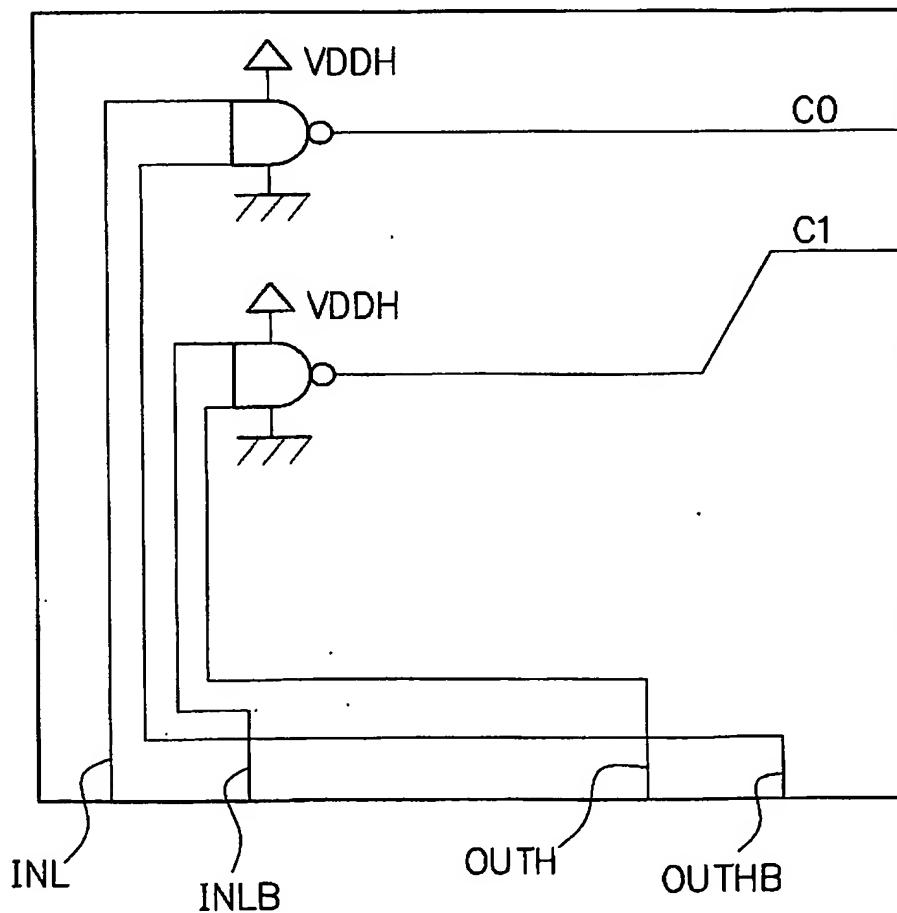
【図 11】



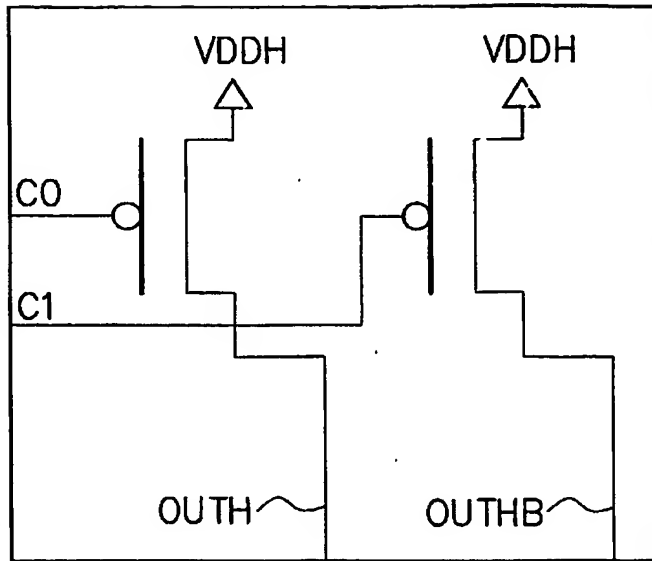
【図 1 2】



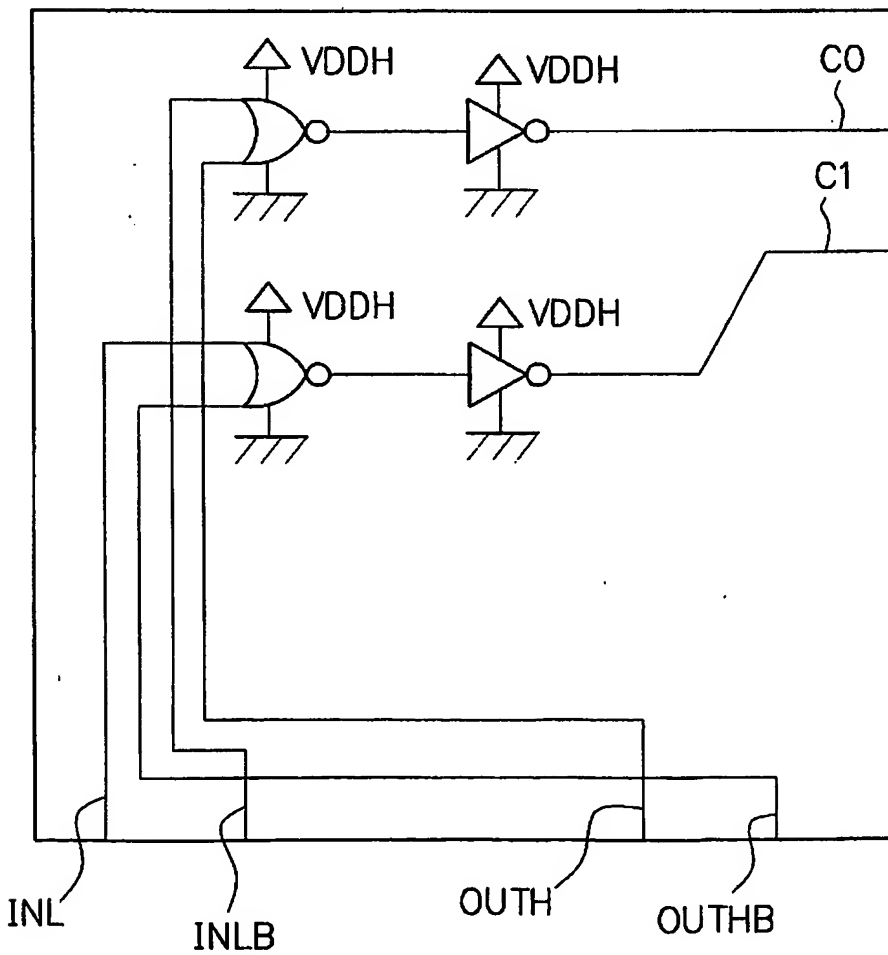
【図 1 3】



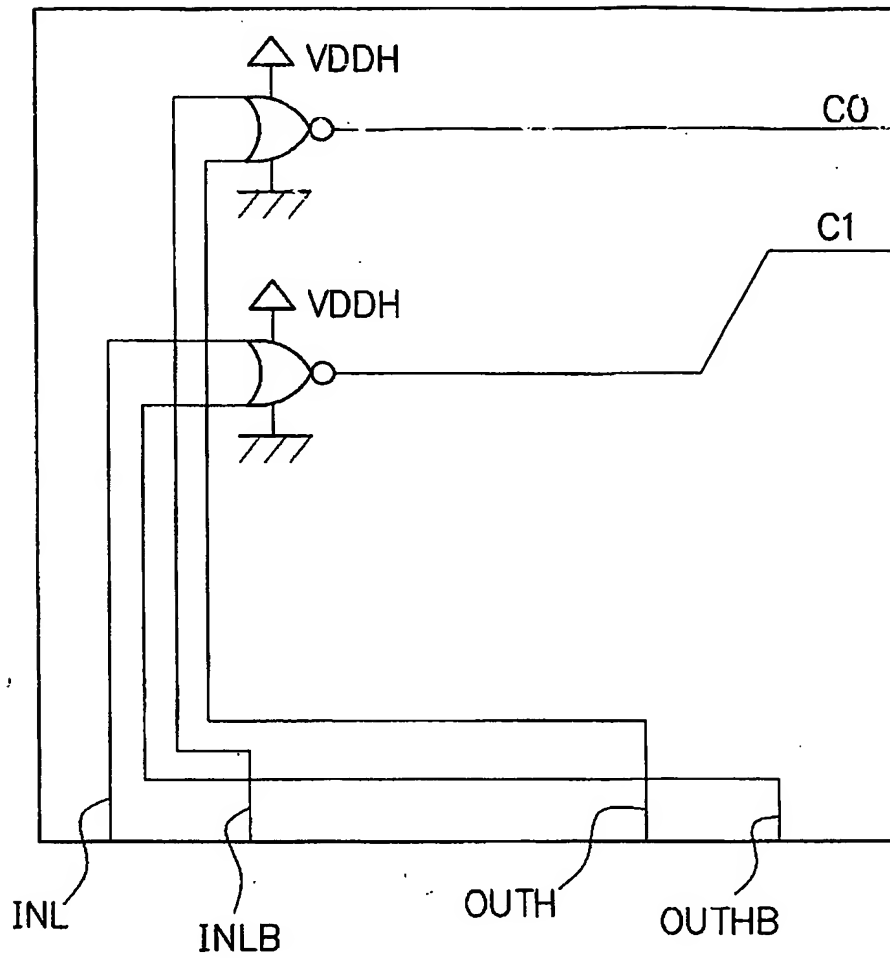
【図 14】



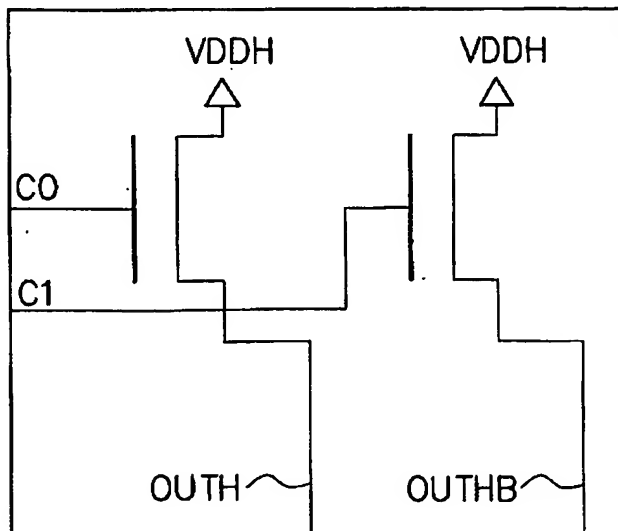
【図 15】



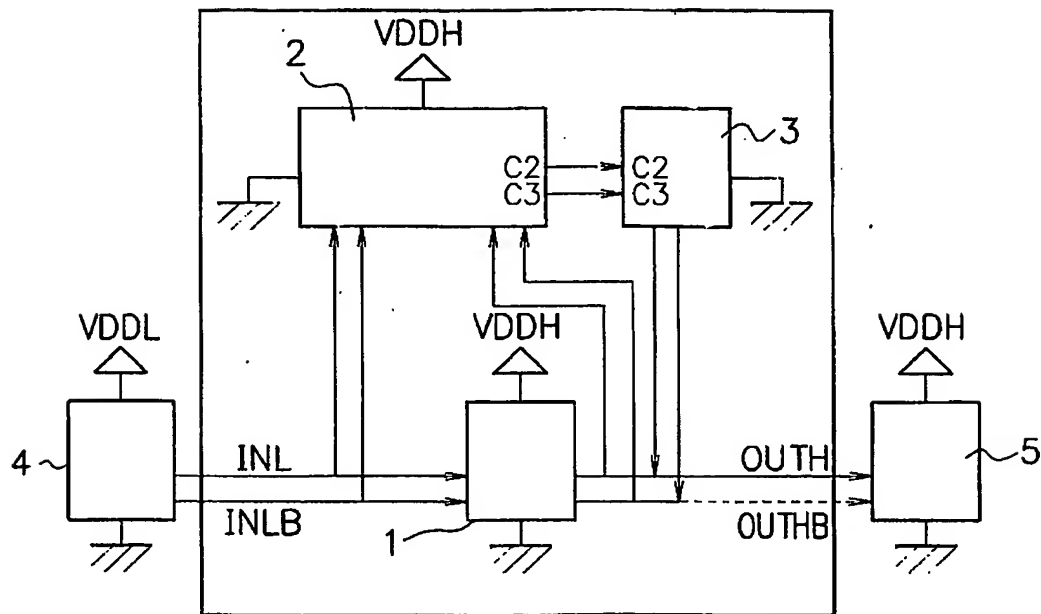
【図 16】



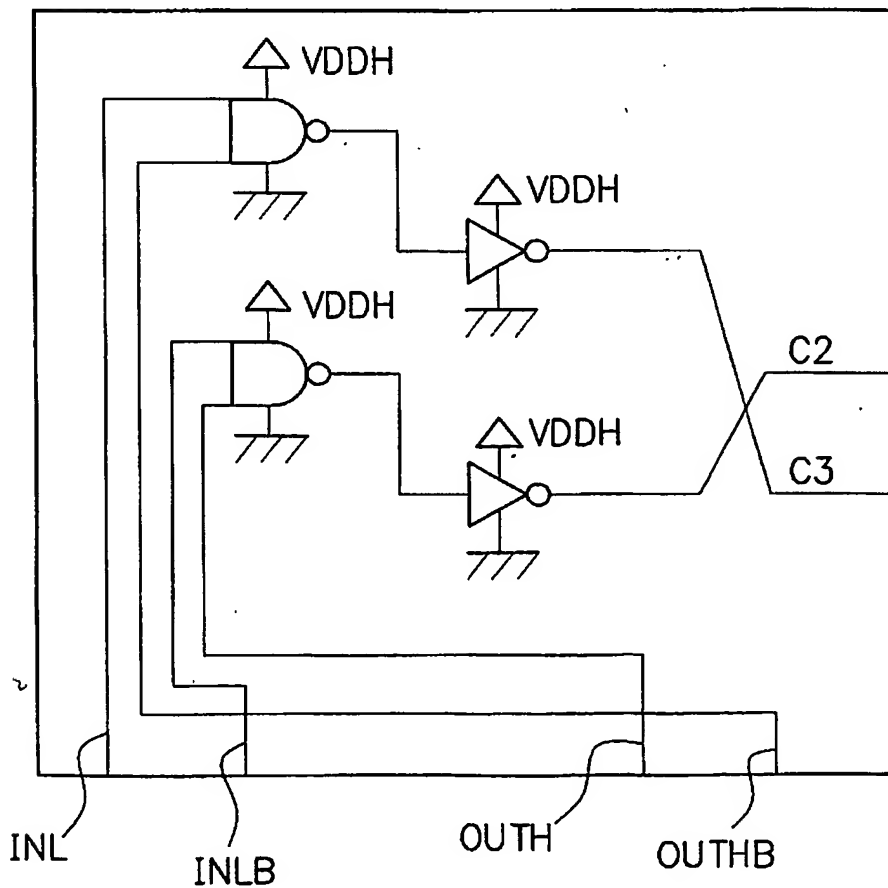
【図 17】



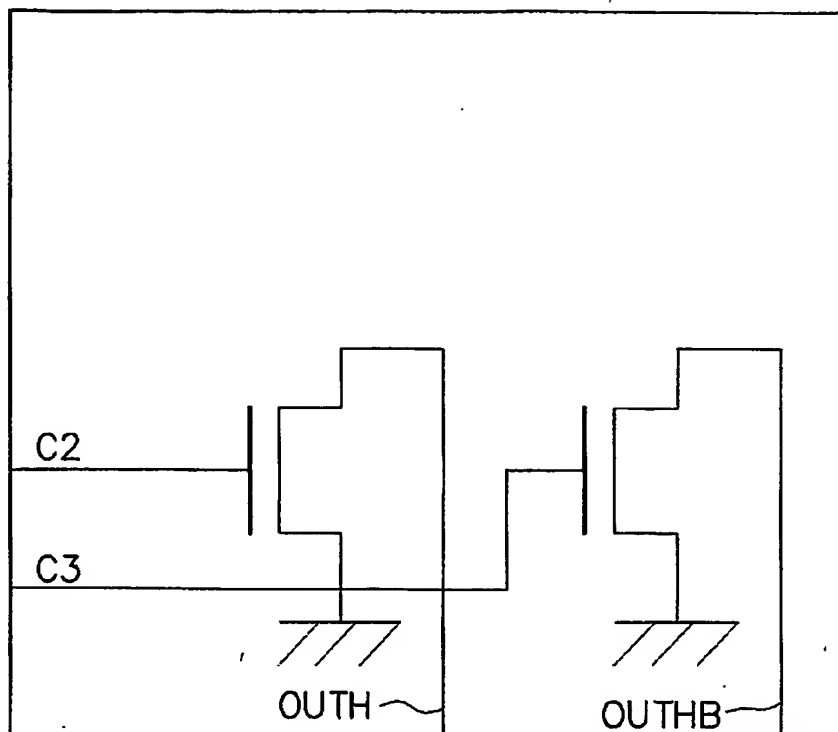
【図 18】



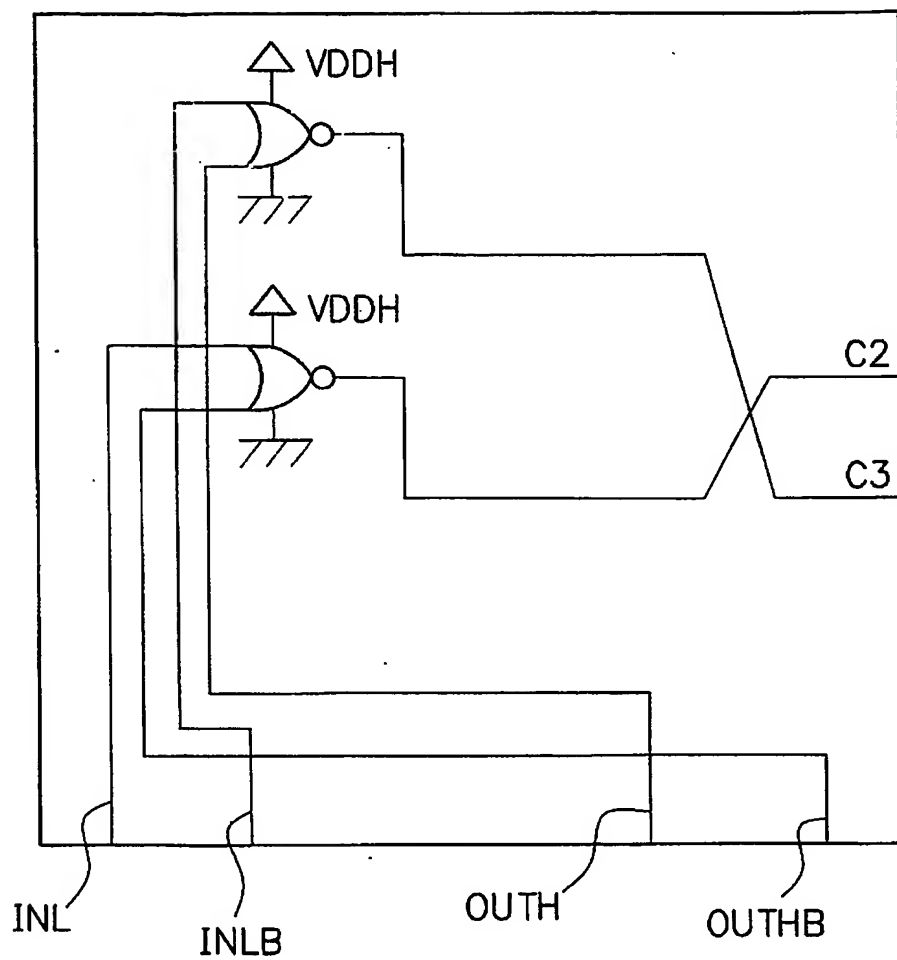
【図 19】



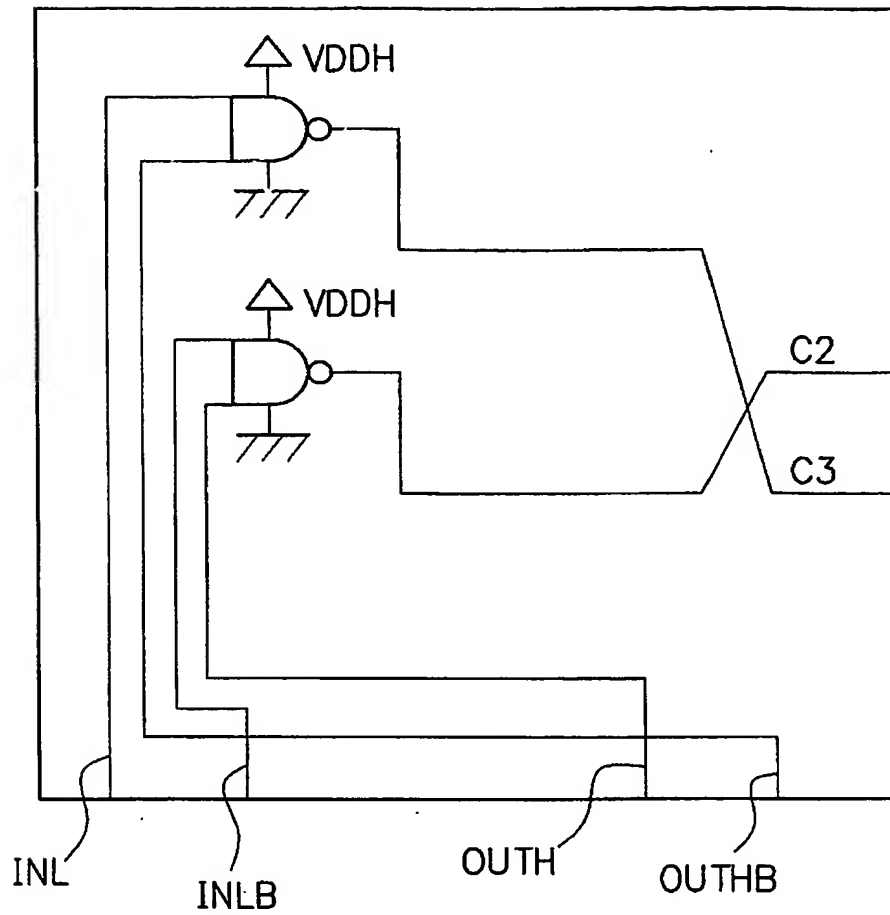
【図 20】



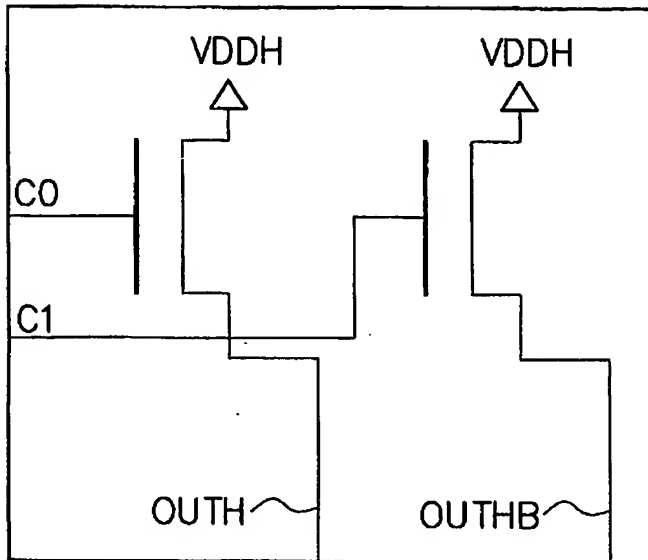
【図 21】



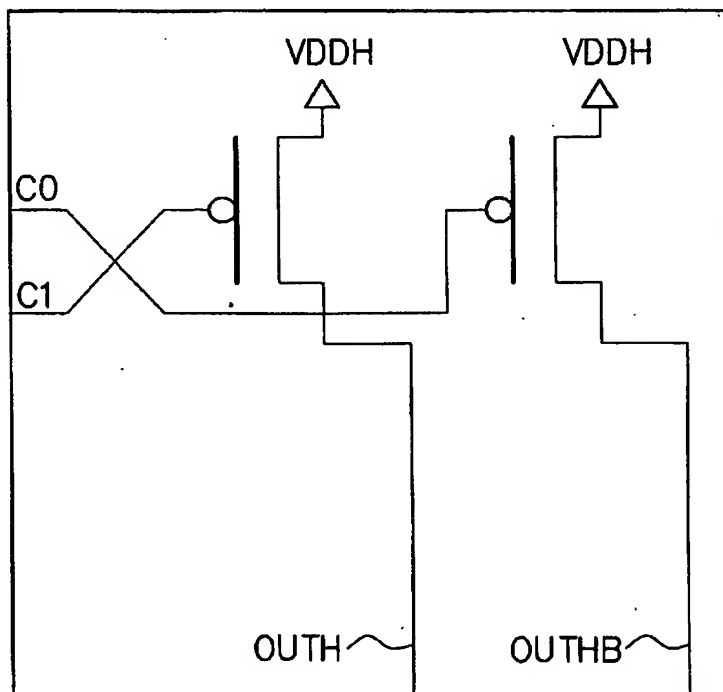
【図 22】



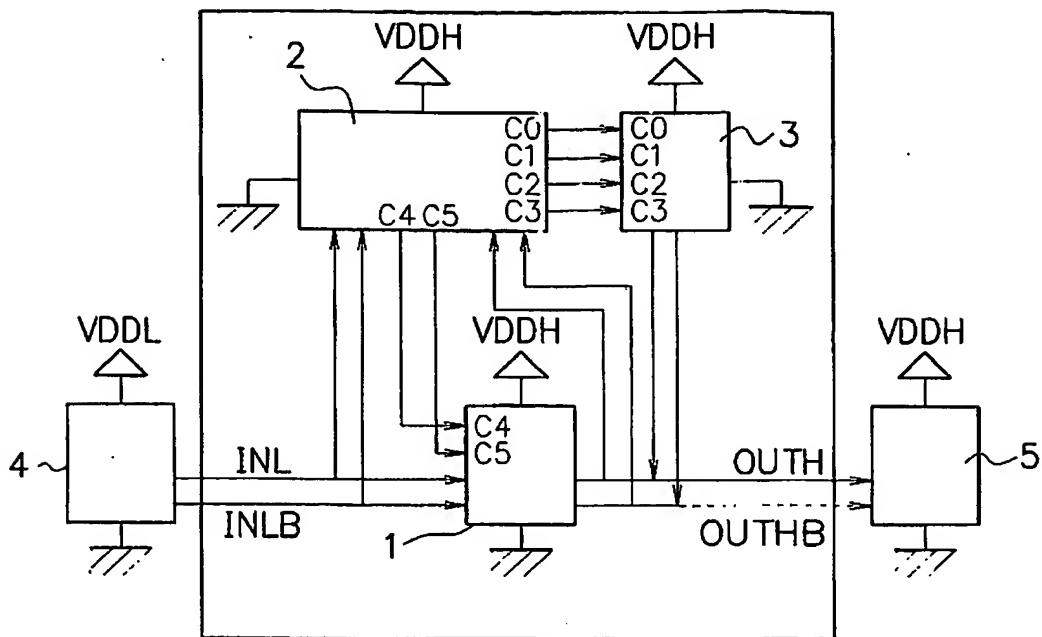
【図 25】



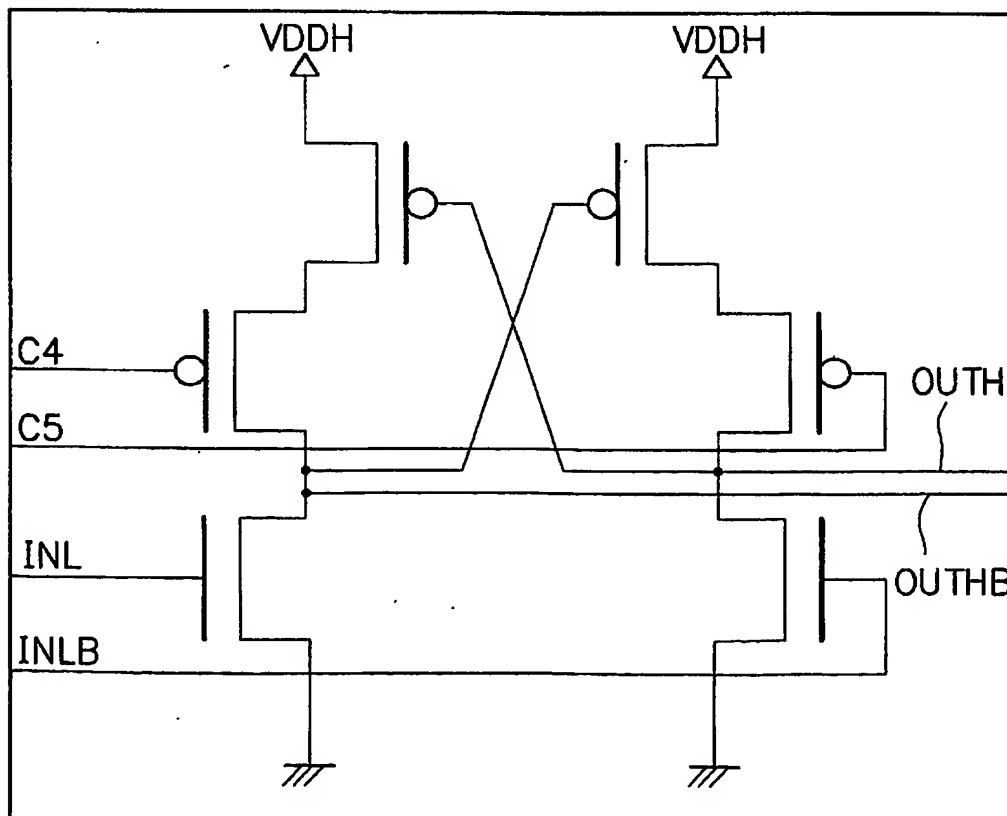
【図 26】



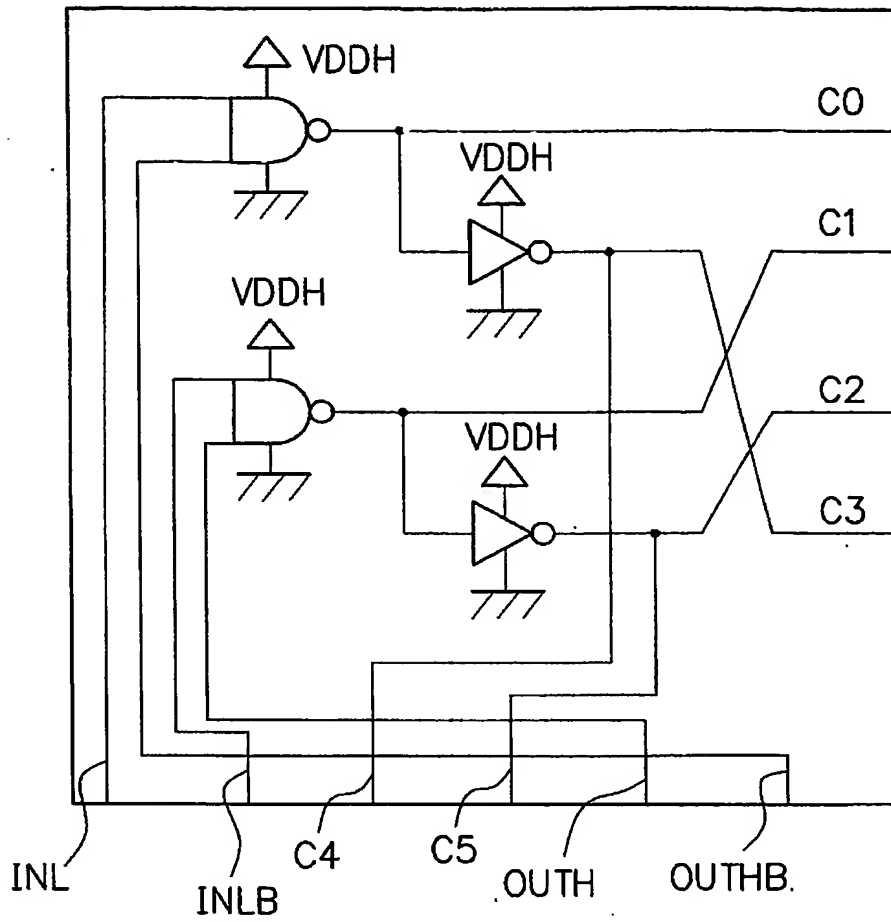
【図 27】



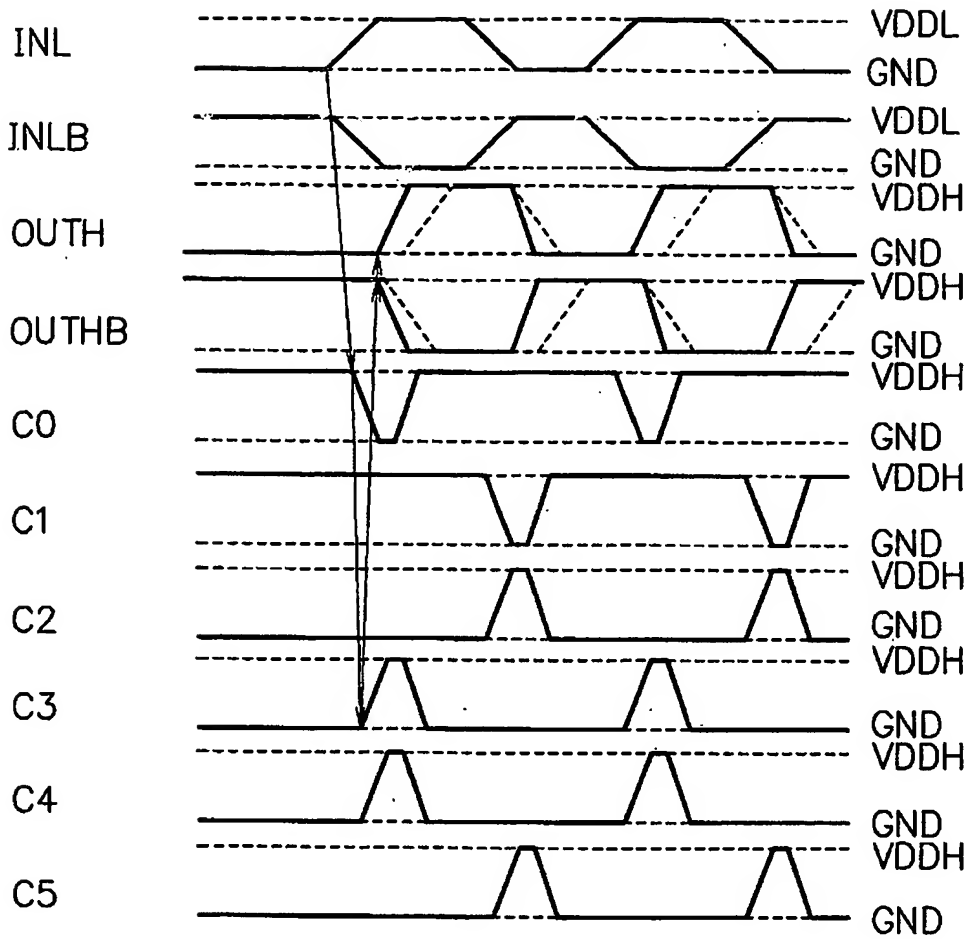
【図 28】



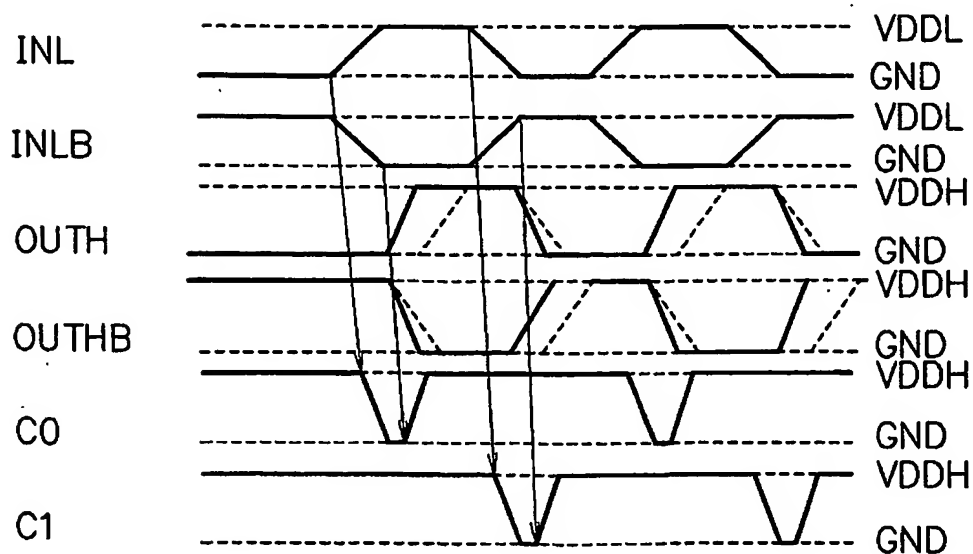
【図 29】



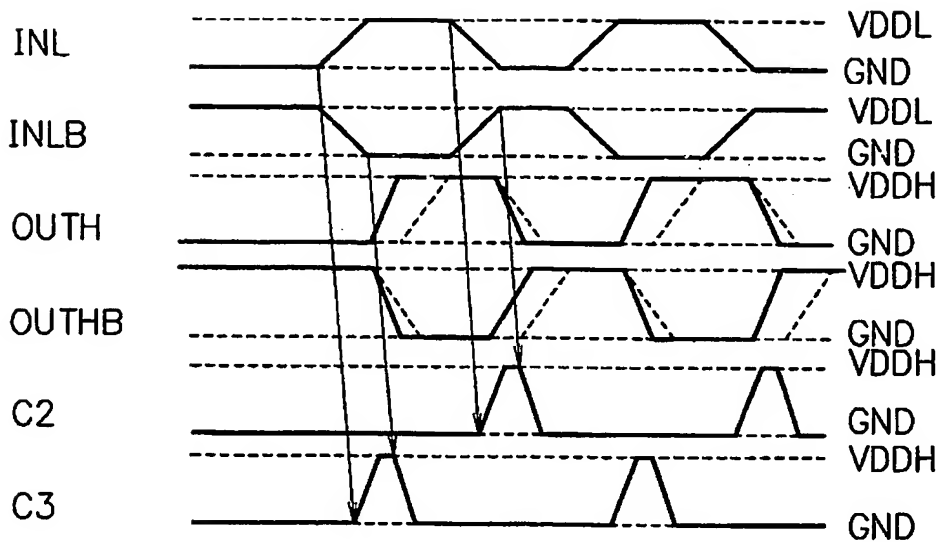
【図 30】



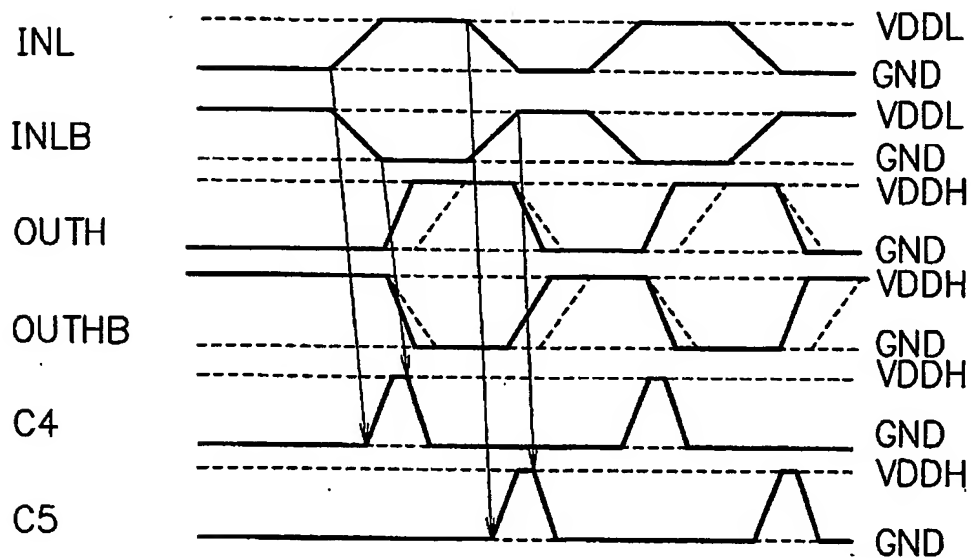
【図 31】



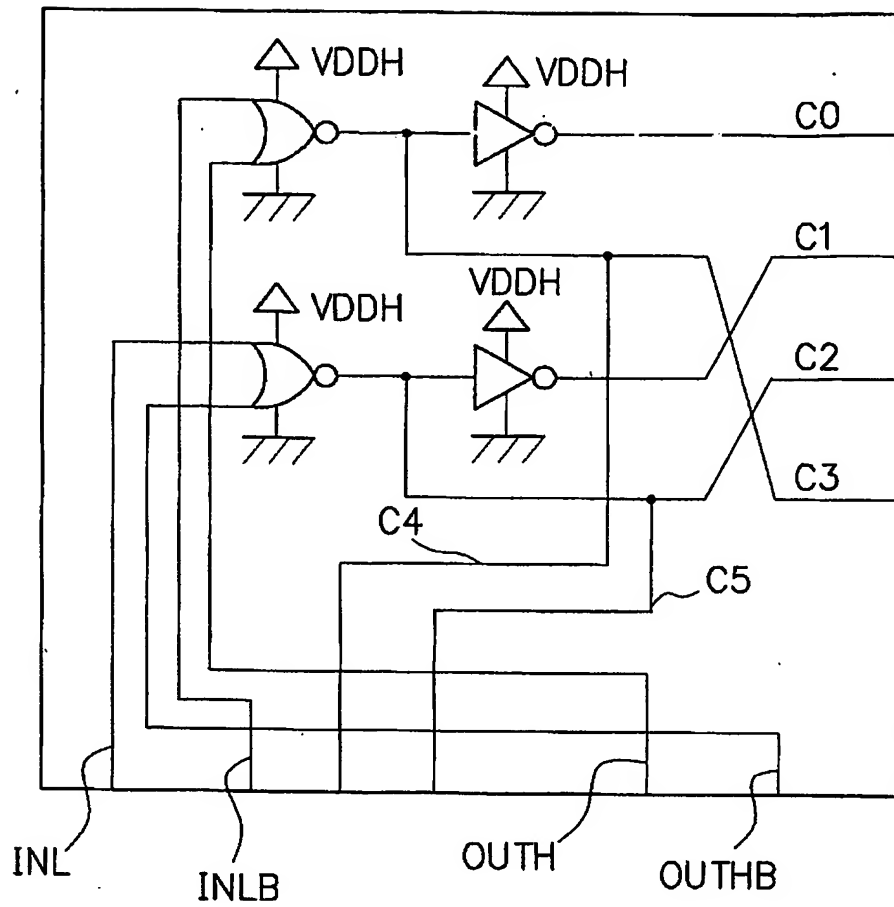
【図 3 2】



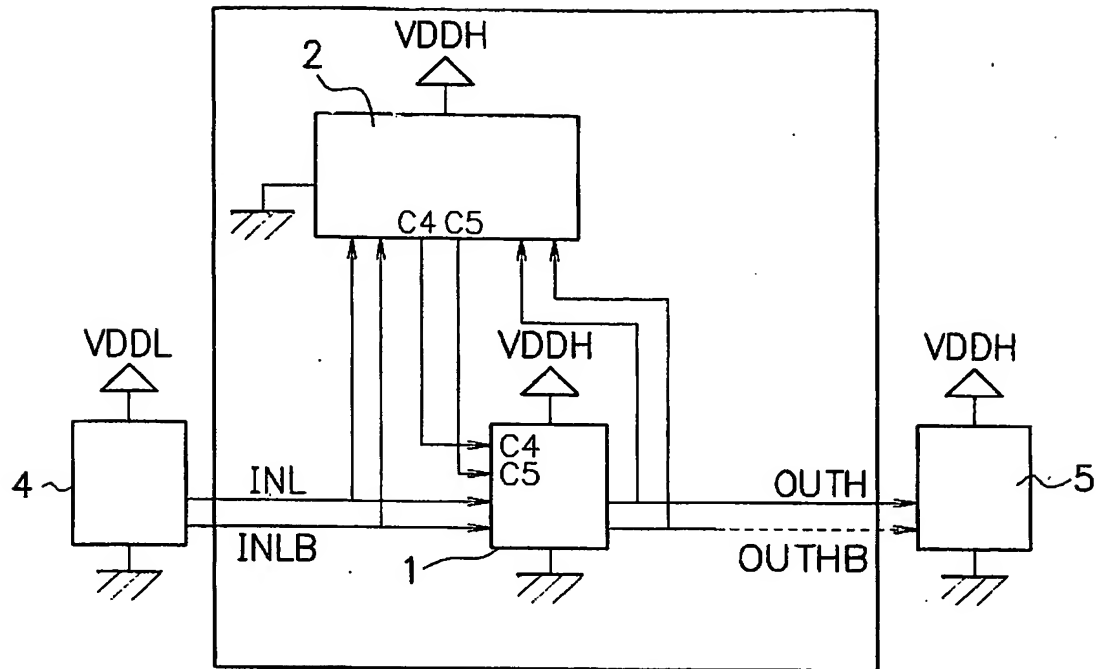
【図 3 3】



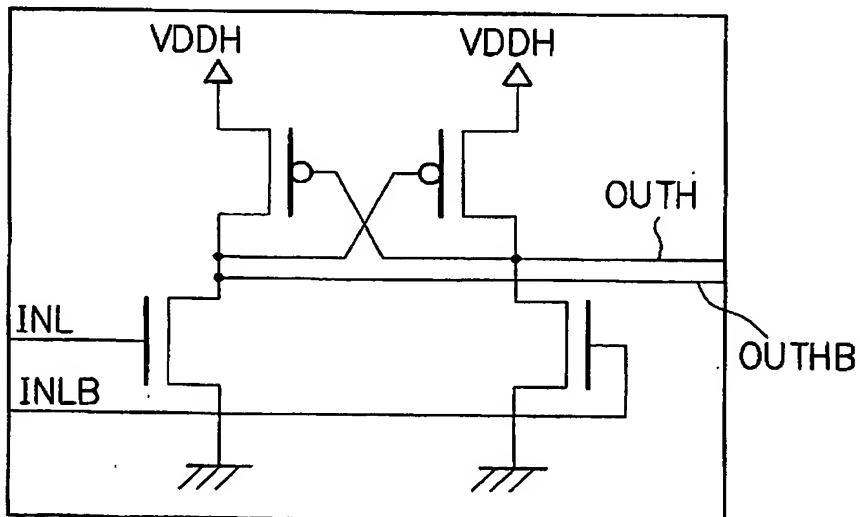
【図 34】



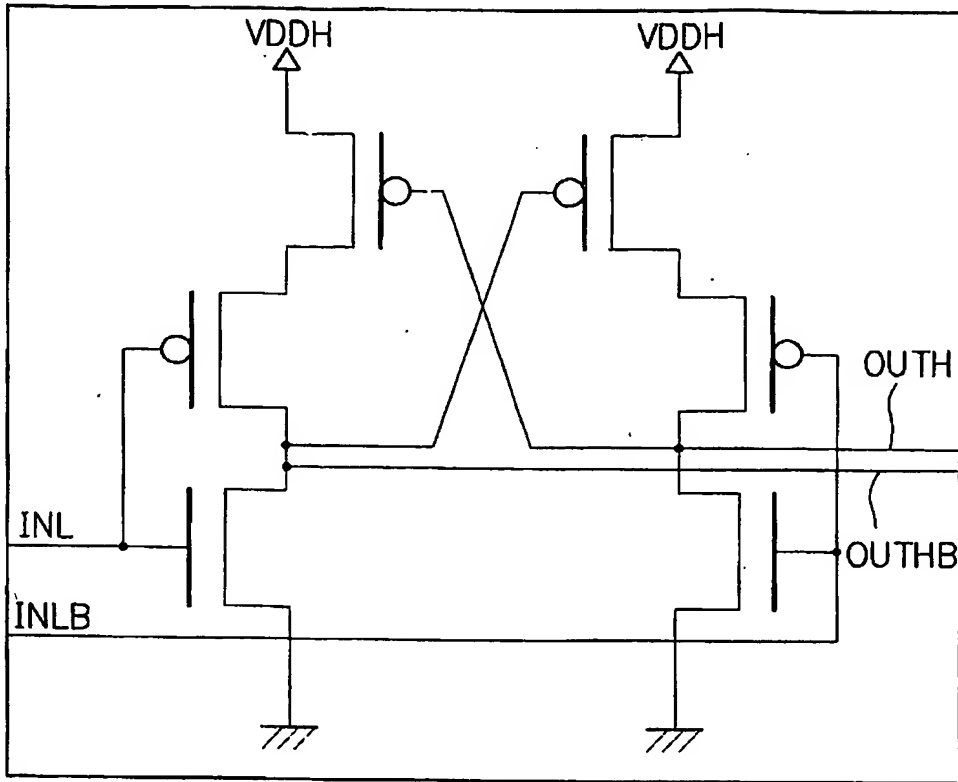
【図 3 5】



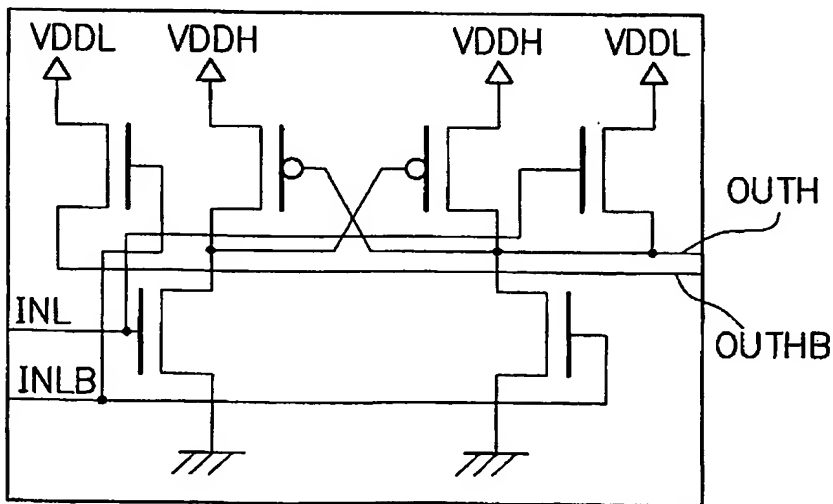
【図 3 6】



【図 37】



【図 38】



【書類名】 要約書

【要約】

【課題】 第1の電源と第2の電源の電位差が大きい場合のレベル変換動作マージンの悪化を低減したレベル変換回路の提供。

【解決手段】 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路のレベル変換コア出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と前記第2の電源が供給されレベル変換入力信号とレベル変換出力信号を入力する制御回路により前記プルアップおよび／またはプルダウン回路を制御する構成を設けたことを特徴とする。

【選択図】 図1

特願 2002-323082

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社